

T 61: DAQ

Zeit: Mittwoch 16:45–19:00

Raum: G.10.07 (HS 5)

T 61.1 Mi 16:45 G.10.07 (HS 5)

Data Acquisition system and Link and Data Aggregator for the CALICE Analogue Hadron Calorimeter — ●JULIEN CAUDRON, LENNART ADAM, BRUNO BAUSS, VOLKER BÜSCHER, PHI CHAU, REINHOLD DEGELE, KARL-HEINRICH GEIB, SASCHA KRAUSE, YONG LIU, LUCIA MASETTI, ULRICH SCHÄFER, ROUVEN SPRECKELS, STEPHAN TAPPROGGE, and RAINER WANKE for the CALICE-D-Collaboration — Johannes-Gutenberg Universität, Mainz

The Analogue Hadron Calorimeter (AHCAL) is one of the several calorimeter designs developed by the CALICE collaboration for future linear colliders. It is a high granularity sampling calorimeter with plastic scintillator tiles of $3 \times 3 \text{ cm}^2$, adding up to $\sim 8'000'000$ sensors. This large amount of channels requires a powerful data acquisition system (DAQ). In this DAQ system, the Link and Data Aggregator module (LDA) acts as an intermediate component to group together several layers units, dispatching control signals and merging data. A first LDA design (*mini-LDA*), intended to be flexible but limited to a small number of layers, has been successfully used during the end-of-the-year 2014 CERN Test Beam program. A second prototype (*wing-LDA*), compatible with a complete detector design, is operating during the Test Beam program of 2015. This talk will present the current status of the DAQ and the LDA, with recent results from Test Beam and future plans.

T 61.2 Mi 17:00 G.10.07 (HS 5)

Modifikation und Validierung eines IP-Bus-Controllers in FPGA-Firmware zur Steuerung der Ausleseelektronik der LAr-Kalorimeter bei ATLAS — ●RICO HÜBSCHER, RAINER HENTGES und ARNO STRAESSNER — IKTP, Dresden, Germany

Im Zuge des bevorstehenden Phase-I Upgrades des LHC, welches eine signifikant erhöhte Luminosität zur Folge hat, ist es erforderlich auch die Ausleseelektronik der Triggersignale entsprechend zu verbessern. Hierfür wurde im ATLAS-Detektor ein Demonstrationssystem eingebaut, welches für den LHC-Run-2 ab 2015 die ersten Testergebnisse liefern soll. Ziel der neuen Elektronik ist die Auslese von Triggersignalen mit etwa 10-fach höherer Detektorgranularität als die bisherigen Trigger-Tower. Dafür wurden im Demonstrationssystem Prototypen von digitalen Prozessierungs-Boards installiert, welche mit Altera FPGA-Chips bestückt sind. Ein Modul der Firmware für diese FPGAs stellt der IP-Bus-Controller dar, welcher die zeitkritische Kommunikation von Datenpaketen von der Ethernet-Schnittstelle mit den dafür vorgesehenen Modulen der FPGA-Firmware vermittelt. Diese werden für die ATLAS-Datenaufzeichnung, Systemkontrolle und Überwachung der Datenprozessierung genutzt. Für den IP-Bus-Controller existiert bereits eine Firmware, welche aus dem CACTUS-Projekt hervorgegangen ist und für Xilinx FPGA-Chips implementiert wurde. Auf der Grundlage dieser Firmware wurde der IP-Bus-Controller für Altera FPGA-Chips implementiert und über ein Test-Board die Funktionsweise des IP-Bus-Controllers untersucht. Der Vortrag stellt den aktuellen Stand der FPGA-Implementierung und erste Testergebnisse vor.

T 61.3 Mi 17:15 G.10.07 (HS 5)

Development and test of the DAQ system to readout a Micromegas prototype installed into the ATLAS experiment — ●OURANIA SIDIPOPOULOU — CERN, Switzerland and University of Würzburg, Germany

The Micromegas chambers have been chosen for the upgrade of the innermost forward muon tracking systems (Small Wheels) of the ATLAS detector in 2018-2019. A Micromegas quadruplet with an active area of $1\text{m} \times 0.5\text{m}$ has been built at CERN as a prototype of the future Small Wheels detectors and is going to be tested in the ATLAS cavern environment during the LHC RUN-II period 2015-2017.

For the integration of this prototype detector into the ATLAS data acquisition system, an ATLAS compatible ReadOut Driver (ROD) based on the Scalable Readout System (SRS), the Scalable Readout Unit (SRU), will be used. A dedicated Micromegas segment has been implemented, in the framework of the ATLAS TDAQ online software, in order to include the detector inside the main ATLAS DAQ partition. A full set of tests, on the hardware and software aspects, is presented.

T 61.4 Mi 17:30 G.10.07 (HS 5)

Read-out of the ATLAS Diamond Beam Monitor —

●JOHANNES AGRICOLA, JÖRN GROSSE-KNETTER, ARNULF QUADT, and JENS WEINGARTEN — II. Physikalisches Institut, Georg-August-Universität Göttingen

During the last shutdown of the Large Hadron Collider, a new Luminosity measurement device, the Diamond Beam Monitor (DBM), has been installed in the ATLAS experiment. It consists of Telescopes with diamond sensor modules that are equipped with the same front-end chip as the Insertable B-Layer (IBL), the FE-I4. It differs from IBL in that it has a separate trigger-less channel, the hitbus, which separately transmits an OR over a configurable subset of pixel discriminator outputs for each of the modules. This signal is generated by a separate chip, the Hitbus chip, which takes the OR outputs of each front-end and serializes it such that it is sampled once per bunch crossing. The commonalities allow the DBM to share a read-out system with IBL. Due to the hitbus channel, additional modifications have to be applied. How the hitbus data is decoded in the Back Of Crate card (BOC) and forwarded to the read-out system through the Read-Out Driver (ROD) is presented and discussed.

T 61.5 Mi 17:45 G.10.07 (HS 5)

Firmwareentwicklung des Testsystems USBpix für die Auslesechips des ATLAS Pixeldetektors — JOHANNES AGRICOLA, JÖRN GROSSE-KNETTER, ●BJÖRN KLAAS und ARNULF QUADT — Georg-August-Universität Göttingen

Die geplante Luminositätssteigerung des LHC (HL-LHC) vergrößert die Strahlenbelastung der Detektoren und hebt die Ansprüche an Orts- und Zeitauflösung. Dies erfordert eine neue Generation von Sensoren und Auslesechips, welche zu ihrer vollständigen Charakterisierung verbesserte Testsysteme bedingen. Das in Labor- und Teststrahl-Umgebungen verwendete USB-basierte Testsystem USBpix umfasst eine graphische Benutzeroberfläche und Steuersoftware basierend auf der offiziellen ATLAS Pixelsoftware PixLib, sowie eine zur Ansteuerung und Auslese der Testchips verwendete Adapterkarte. Die Kommunikation zwischen Steuersoftware (STcontrol) und Auslesechip wird von einem FPGA gesteuert, dessen Konfiguration im Einklang mit der Steuersoftware angepasst und verbessert werden muss. Im Vortrag werden Entwicklungsstand und Funktionsumfang der FPGA Konfiguration sowie vorgenommene Änderungen vorgestellt. Zur Motivation der weiteren Entwicklung werden erwünschte zusätzliche Funktionen und Optimierungen der Firmware erörtert.

T 61.6 Mi 18:00 G.10.07 (HS 5)

YARR: A PCIe based readout system for semiconductor tracking systems — ●TIMON HEIM^{1,2}, PETER MAETTIG¹, and HEINZ PERNEGGER² — ¹Bergische Universität Wuppertal, Wuppertal, Germany — ²CERN, Geneva, Switzerland

The YARR readout system is a novel DAQ concept, using an FPGA board connected via PCIe to a computer, to read out semiconductor tracking systems. The system uses the FPGA as a reconfigurable IO interface which, in conjunction with the very high speed of the PCIe bus, enables a focus of processing the data stream coming from the pixel detector in software. Modern computer system could potentially make the need of custom signal processing hardware in readout systems obsolete and the YARR readout system showcases this for FE-I4 chips, which are state-of-the-art readout chips used in the ATLAS Pixel Insertable B-Layer and developed for tracking in high multiplicity environments. The underlying concept of the YARR readout system tries to move intelligence from hardware into the software without the loss of performance, which is made possible by modern multi-core processors. The FPGA board firmware acts like a buffer and does no further processing of the data stream, enabling rapid integration of new hardware due to minimal firmware minimisation.

T 61.7 Mi 18:15 G.10.07 (HS 5)

Ausblick auf die ATLAS Phase-II Datenauslese für ITk — ●MARIUS WENSING, TOBIAS FLICK, PETER MÄTTIG und WOLFGANG WAGNER für die ATLAS-Kollaboration — Universität Wuppertal, Deutschland

Der ATLAS-Detektor am CERN wird für das HL-LHC-Upgrade (Phase-II) im Jahr 2022 mit einem komplett neuen inneren Detektor (Inner Tracker, ITk) ausgestattet. Bedingt durch die wesentlich höhere Luminosität von $5 \cdot 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ werden deutlich höhere Aus-

lesebandbreiten als bisher benötigt. Für die innerste Pixel-Lage wird die Datenrate pro Modul im Multi-Gigabit-Bereich liegen. Das erfordert neue FPGA-basierte Ausleseelektronik, die in diesem Vortrag näher beleuchtet werden soll. Dabei werden einerseits generische Ansätze, andererseits sehr spezielle detektorspezifische Lösungen betrachtet und ihre Vor- und Nachteile aufgezeigt.

T 61.8 Mi 18:30 G.10.07 (HS 5)

Boundary Scan Test of Belle II Pixel Detector Electronics — ●PHILIPP LEITL — Max-Planck-Institut für Physik (Werner-Heisenberg-Institut), Föhringer Ring 6, 80805 München

For the upgrade of the Vertex Detector at the Belle II experiment, DEPFET sensors will be used. These sensors need Application-Specific Integrated Circuits (ASICs) for control, readout and data processing. Because of high demands for a low material budget in the sensitive area, there is only little space left for these ASICs. Using state-of-the-art technologies like Ball Grid Array (BGA) chips, which are flip-chip mounted, the requirement of 14 ASICs on each of the 40 half ladders can be fulfilled.

However, this highly integrated on-sensor ASIC solution results in a lack of physical access to the electrical connections, which is a problem for traditional testing methods. To overcome these limitations, the JTAG standard IEEE 1149.1 is used to check if the circuit is in working condition. This method provides electrical access to the boundary scan cells implemented in the ASICs. Therefore it is possible to perform connectivity tests and verify if the production of the circuit was successful.

T 61.9 Mi 18:45 G.10.07 (HS 5)

Concept of the K_S^0 Rescue System for the Belle II Pixel Detector — ●LEONARD KOCH, WOLFGANG KÜHN, SÖREN LANGE, and DAVID MÜNCHOW for the Belle II-Collaboration — II. Physikalisches Institut, JLU Gießen

The Belle II experiment at KEK in Tsukuba, Japan will perform studies with B mesons with a factor 40 increased luminosity compared to its predecessor experiment, Belle. One of the main goals of Belle II is the search for physics beyond the Standard Model, for example in rare B meson decays described by loop diagrams. Detecting B mesons frequently involves the detection of K_S^0 with its displaced decay vertices.

The innermost detector of Belle II is the Pixel Detector (PXD) with an expected occupancy of up to 3% due to high background. In order to reduce the data, only hits inside region-of-interests (ROIs) are read out. The ROIs are determined by extrapolation into the PXD region of tracks in the surrounding detectors, the Silicon Vertex Detector (SVD), and the outer detectors. Thus every PXD hit of a particle, which does not create a valid track in the track finder, and subsequently no ROI, will not be recorded. Frequently pions originating from a secondary vertex of a K_S^0 decay do not create sufficient hits in the SVD. As a consequence, a significant amount of K_S^0 mesons will be lost. In this contribution, we present a concept for the K_S^0 - rescue system. Here, we perform online tracking using all of the PXD and SVD layers to find the tracks of these pions, to improve the K_S^0 reconstruction efficiency.

This work is supported by the Bundesministerium für Bildung und Forschung under grant number 05H12RG8.