

HK 34: Instrumentation und Anwendungen

Zeit: Mittwoch 14:15–16:30

Raum: B

HK 34.1 Mi 14:15 B

An FPGA based Preprocessor for the ALICE High Level Trigger — •TORSTEN ALT, VOLKER LINDENSTRUTH, FLORIAN PAINKE, JÖRG PESCHEK, and TIMM MORTEN STEINBECK — Kirchhoff Institute of Physics, Ruprecht-Karls-University Heidelberg, Germany

The H-RORC (High Level Trigger ReadOut Receiver Card) is an FPGA based PCI card designed to receive raw detector data from ALICE, transfer it into the online processing framework of the HLT cluster farm and transmit the processed data out of the HLT to the DAQ. Each RORC can be equipped with two optical receiver/transmitter units and transfer up to 400 Mbyte/s via PCI. For online processing in hardware the Virtex4 LX40 FPGA is supported by four independent modules of fast DDR-SDRAM providing up to 512 Mbyte total storage at a bandwidth of 2.3 Gbyte/s and two fast serial, full-duplex links which can be used as an direct interconnect in order to exchange data between several RORCs. In replay mode the onboard memory can be loaded with real or simulated events thus giving a real-time test-bench for the HLT framework. A special configuration scheme suits the requirements of a cluster environment and allows a safe and remote upgrade of the firmware. The H-RORC was used successfully in the first time run of the HLT during the TPC commissioning 2006.

HK 34.2 Mi 14:30 B

First Online Experiences with the ALICE High Level Trigger — TORSTEN ALT¹, SEBASTIAN BABLOK², ØYSTEIN HAALAND², IVAN KISEL¹, VOLKER LINDENSTRUTH¹, FLORIAN PAINKE¹, JÖRG PESCHEK¹, SORINA POPESCU³, MATTHIAS RICHTER², DIETER RÖHRICH², •TIMM MORTEN STEINBECK¹, JOCHEN THÄDER¹, and GAUTE ØVREBEK² — ¹Kirchhoff Institute of Physics, Ruprecht-Karls-University Heidelberg, Germany — ²Institute for Physics and Technology, University of Bergen, Norway — ³CERN, Geneva, Switzerland

During the second half of 2006 the commissioning of the ALICE TPC has been performed using both cosmic and laser events. During this commissioning the High Level Trigger was operational with real data for the first time. Five Linux PCs were used to receive data from six TPC readout partitions from one sector under test. On the PCs the readout of the data was performed using the software components and PCI hardware to be used during ALICE running. After readout online event reconstruction involving cluster-finding and tracking of trajectories in the examined sector was then performed. Raw data as well as the reconstructed data were then sent to an online event display. This was then used to show the reconstructed events in different views. Included were a full 3D view of the detector, different raw data displays, and some histograms. In this talk we will present some of the experiences made during this first operational use of the ALICE HLT.

HK 34.3 Mi 14:45 B

Hardwarebasiertes Computer Cluster Kontroll- und Administrationssystem — •RALF PANSE und VOLKER LINDENSTRUTH — Kirchhoff Institut für Physik, Heidelberg, Deutschland

Die zukünftige LHC Experimente am CERN benötigen enorme Rechenleistung um die anfallenden Daten zu analysieren oder Triggerentscheidungen zu treffen. Diese Rechenleistung werden von PC Farmen, sogenannte Computer Cluster, zur Verfügung gestellt. Diese Cluster bestehen aus mehreren hundert handelsüblichen PCs. Die Administration und Überwachung des Clusters erfordert einen hohen Verwaltungsaufwand und ist sehr zeitintensiv. Aufgrund der Fehleranfälligkeit jedes Rechners müssen besondere Maßnahmen ergriffen werden um den zuverlässigen Betrieb des Clusters zu gewährleisten.

Um diesen Aufwand zu minimieren, wurde eine universell einsetzbare Hardware Lösung für dieses Problem entwickelt. Das Kernstück unseres Clusterkontrollsystem ist eine PCI Erweiterungskarte, die sogenannte Computer Health Analyser And Remote Management Karte (CHARM). Die Karte verfügt über einen eigenen Prozessor, so daß sie auch selbständig agieren kann. Ausserdem besitzt sie eine eigene Netzwerkanbindung und arbeitet dadurch unabhängig vom zu überwachenden Rechner. Der Computer kann mittels dieser Karte fernüberwacht und kontrolliert werden, selbst dann, wenn das Betriebssystem des PCs eine Fernwartung nicht unterstützt. Desweiteren kann man mit der Karte Betriebssysteme installieren, den Rechner ausschalten oder einschalten und die Hardware des Rechners testen.

HK 34.4 Mi 15:00 B

Prototype of a Dedicated Multi-Node Data Processing System for Realtime Trigger and Analysis Applications — •DANIEL GEORG KIRSCHNER for the HADES-Collaboration — II. Phys. Inst. Giessen, Heinrich-Buff-Ring 14, 35392 Giessen

Modern experiments in hadron physics like the HADES detector at GSI Darmstadt produce a large amount of data that has to be distributed, stored and analyzed. Analysis of this data is time consuming due to the large amount of data and the complex algorithms needed.

One approach to these topics are custom made systems like the GEMN (Gigabit Ethernet Multi Node), designed and build in Giessen. The developed prototype features two Gigabit Ethernet connections and a TigerSHARC DSP.

As test for the capabilities of this system the results of an example application in the context of the HADES experiment (@GSI) are presented: online correlation of the θ and ϕ information of rings in the RICH detector with fired wires in the drift chambers to filter out fake rings and by this reducing data rate to the storage system and saving time in the offline analysis.

Supported by: BMBF 06 GI 180, BMBF 06 GI 179.

HK 34.5 Mi 15:15 B

Charakterisierung von Treffer- und Datenraten des ATLAS-FE-I-Frontends für den Einsatz im Vertexdetektor des PANDA-Experiments — •HANS-GEORG ZAUNICK¹, KAI-THOMAS BRINKMANN¹, RENÉ JÄKEL¹, FABIAN HÜGGING² und TOBIAS STOCKMANN² — ¹TU Dresden, IKTP, D-01062 Dresden — ²FZ Jülich, IKP

Eine Teststation zur Charakterisierung von ATLAS-FE-I-Pixelfrontendchips wird vorgestellt und deren Erweiterung um verschiedene Funktionalitäten beschrieben. Für ihr sollen Untersuchungen zu einer quasi-ungetriggerten Auslese, Frequenzabhängigkeit der Betriebsparameter sowie Treffer- und Datenratenmessungen in Hinblick auf die Anforderungen an den Einsatz der Frontends im Mikrovertex-Detektor des geplanten PANDA-Experiments durchgeführt werden. Neben der Auswertung und Diskussion erster Messungen werden zukünftige Erweiterungen erörtert.

Unterstützt vom BMBF und der EU in DIRAC FP6

HK 34.6 Mi 15:30 B

Test of Gb Ethernet with FPGA for HADES upgrade — •CAMILLA GILARDI for the HADES-Collaboration — II. Physikalisches Institut, Gießen, Germany

Within the HADES experiment, we are investigating a trigger upgrade in order to run heavier systems (Au + Au). We investigate Gigabit Ethernet transfers with Xilinx Virtex II FPGA on the commercial board Celoxica RC300E. We implement the transfer protocols (UDP, ICMP, ARP) with Handel-C.

First results of bandwidth and latency will be presented.

This work has been supported by BMBF (06 GI 179), EGS, GSI and the DFG.

HK 34.7 Mi 15:45 B

PCI Express DMA Engine for Active Buffer Project in CBM Experiment — •WENXUE GAO, ANDREAS KUGEL, REINHARD MÄNNER, HOLGER SINGPIEL, and ANDREAS WURZ for the CBM-Collaboration — Lehrstuhl Informatik V, Universität Mannheim, Deutschland

Due to the specific character of the planned CBM experiment at GSI a trigger design with self-triggered detector channels has been proposed. The data of all sub-detectors is used for the first level trigger decision. Event data of about 10 Gbps per link has to be handled by a sophisticated network and buffer management, namely Active Buffer. This presentation talks about an efficient DMA engine of the Active Buffer Board unit that runs on the transaction layer of the PCI Express protocol. Along with a Xilinx PCI Express logic core (1-lane or 4-lane, 32-bit or 64-bit) working on physical layer and data link layer, the DMA engine provides general PCI Express services between the high-bandwidth network and the host computer. It uses virtual channels between receive and transmit ports and has minimum latency. Downstream (host to endpoint) and upstream (endpoint to host) DMA transactions are running independently to get a higher bidirectional

throughput. Balanced scheduling policy is also practiced for fairness and against starvation. The design is implemented into Xilinx Virtex4FX FPGA and both logic verification and system test are done. Supported by EU-FP6 HADRONPHYSICS

HK 34.8 Mi 16:00 B

First tests of the n-XYTER ASIC for the CBM STS readout — CHRISTIAN SCHMIDT¹, •KNUT STEFFEN SOLVAG^{1,2}, and MARCUS HÖHL¹ for the CBM-Collaboration — ¹Gesellschaft für Schwerionenforschung mbH, Darmstadt, Deutschland — ²Universitet i Bergen, Bergen, Norwegen

The FAIR experiment CBM will be equipped with a large silicon tracking system, based upon silicon pixel as well as large area silicon strip detectors. With the enormous event rates projected for CBM operation, only a non-clocked electronic readout architecture appears to be able to cope. n-XYTER, an ASIC development of the neutron scattering community, is the realization of such a novel, purely data driven, self triggered readout architecture in Silicon. We present the first results of tests that aim to study the n-XYTER chip and its architecture in view of the silicon strip detector system for CBM. The work is intended to form an advanced starting point for a successive CBM STS dedicated development of this architecture in the near future.

HK 34.9 Mi 16:15 B

Datenerfassungssystem für den Niederenergie-Photonentagger

NEPTUN am S-DALINAC* — •MICHAEL ELVERS, JANIS ENDRES, JENS HASPER, KAI LINDENBERG, DENIZ SAVRAN, VANESSA SIMON und ANDREAS ZILGES — Institut für Kernphysik, TU Darmstadt, 64289 Darmstadt

NEPTUN ist ein Niederenergie-Photonentagger am Elektronenbeschleuniger S-DALINAC, der es ermöglicht, Wirkungsquerschnitte für (γ, x) -Reaktionen zu bestimmen. Die Photonen werden durch Beschuss eines ca. $1 \mu\text{m}$ dicken Goldtargets durch Elektronen erzeugt. Diese werden in einem Magnetfeld abgelenkt, wodurch ihr Energieverlust bestimmt werden kann. Der Energiebereich der Photonen liegt bei $8 - 20 \text{ MeV}$ bei einer Rate von $10^4 \gamma/(\text{s keV})$. Im Dezember des Jahres 2006 wurden zum ersten Mal Testmessungen durchgeführt.

Wegen des deutlich späteren Nachweis beispielsweise von Neutronen in (γ, n) -Reaktionen im Vergleich zu den detektierten Elektronen und der sehr hohen Datenraten konnte nicht immer auf herkömmliche Elektronik zur Datenerfassung zurückgegriffen werden. Im Rahmen des COMPASS-Projekts wurde an der Universität Freiburg das Modul CATCH entwickelt, das TDCs und Scaler mit den nötigen Anforderungen besitzt [1]. Hierfür wurde in Darmstadt ein Datenaufnahmesystem entwickelt, dass das Catchmodul und weitere VME-Module mit Hilfe eines Linux-Realtime-Kernels ausliest und die Daten in einer ROOT-Eventstruktur ablegt.

* Gefördert durch die DFG (SFB 634)

¹H. Fischer *et al.* IEEE Trans. Nucl. Sci. **49** (2002) 443.