

## T 72: DAQ und Trigger 3 / Elektronik

Zeit: Freitag 14:00–16:15

Raum: M110

T 72.1 Fr 14:00 M110

**A prototype of Time Distribution System for the Panda Experiment** — HEINZ ANGERER, ●IGOR KONOROV, ALEXANDER MANN, and STEPHAN PAUL — TUM Garching Physik Department E18

The SODA (Synchronization Of Data Acquisition) is a first prototype of the time distribution system for the PANDA experiment at the HESR at FAIR. It is based on a point-to-multipoint bidirectional optical link which is able to broadcast information from a master module to few hundred destinations and to acquire information from the destination modules via a passive optical fiber network. The SODA distributes control information together with a time tag and provides reference timing at the destination with a very low jitter. Furthermore it allows to implement user defined interfaces for configuration and monitoring the destination modules.

T 72.2 Fr 14:15 M110

**Die Ausleseelektronik des LHCb Outer Tracker** — ●MIRCO NEDOS — TU Dortmund, Lehrstuhl für Experimentelle Physik V

Das äußere Spurkammersystem ist ein wichtiger Bestandteil zur Rekonstruktion der Spuren geladener Teilchen im LHCb-Detektor. Die anfallenden Datenmengen stellen nicht nur hohe Anforderungen an die Kapazität des Speichersystems, sondern sind auch eine Herausforderung bei der Datenübertragung. Unter Verwendung von optischen Übertragungstrecken werden die Daten vom Detektor ausgelesen und in das Datenerfassungsnetzwerk eingespeist. Die Schnittstelle zwischen Detektor und diesem Netzwerk bilden 48 TELL1-Boards, auf denen das Datenvolumen mit Hilfe von FPGAs reduziert wird. Die implementierten Algorithmen zur Datenreduktion sind das Ergebnis einer Optimierung zwischen ihrer Komplexität, den endlichen Ressourcen im FPGA und der maximal möglichen Bandbreite am Ausgang. Die verbleibenden FPGA-Ressourcen werden für die Fehlerprüfung der Daten und die Überwachung des Datenflusses genutzt.

Der Vortrag gibt einen Überblick über die bestehende Auslekette des LHCb Outer Tracker und geht spezieller auf Studien für ihr Upgrade ein.

T 72.3 Fr 14:30 M110

**Kommisionierung des ATLAS Pixel Optolinks** — ●JENS DOPKE, TOBIAS FLICK, PETER MÄTTIG und GEORG LENZEN — Bergische Universität Wuppertal

Der ATLAS Pixel Detektor wurde erstmalig vollständig in Betrieb genommen und kalibriert. Um die Kalibration überhaupt erst möglich zu machen, musste eine stabile Kommunikation gewährleistet werden.

Im Rahmen dieses Beitrags werden die genutzten Methoden zur Kalibration des ATLAS Pixel Optolinks vorgestellt. Dabei wird im speziellen auf die Optimierung des Auslesepfades eingegangen sowie Implementierungen zur automatisierten Einstellung der über 2000 optischen Kanäle. Weiterhin wird über die Justage von Parametern berichtet, welche die Taktung des Detektors und somit die Physik Performance beeinflussen.

Unter Anwendung jener Optimierungsmethoden konnten aus ~1680 Modulen 99.7% erfolgreich getunt und in mehreren Cosmic Runs betrieben werden.

T 72.4 Fr 14:45 M110

**Kalibration des ATLAS Pixeldetektors und Beobachtung des Datenstroms mit Digitalen Signal Prozessoren** — ●KRISTOF SCHMIEDEN — Physikalisches Institut, Universität Bonn - für die Pixel DSP Entwickler

Der Pixeldetektor ist der innerste Spurdetektor des ATLAS Detektors. Trotz seiner geringen Größe liefert er einen Großteil aller ATLAS-Auslesekkanäle. Die gesamte Kommunikation mit dem Pixeldetektor geschieht über 132 VME-Bus Einschübe (Readout Driver). Auf diesen befinden sich jeweils fünf digitale Signalprozessoren (DSP) die Zugriff auf den Datenstrom haben und erste Histogramme in Echtzeit erstellen können. Diese werden zur Überwachung der Detektoreigenschaften während der Datennahme verwendet. Desweiteren steuern die DSPs die Kalibration und prozessieren die resultierenden Daten.

Nach einer ersten vorläufigen Version wurde der DSP-Code von Grund auf neu geschrieben, zwecks besserer Wartbar- und Erweiterbarkeit. Es wird ein Überblick über den aktuellen Status der DSP-Code Entwicklung gegeben und die Eigenschaften einiger Scans und Tunings,

insbesondere im Hinblick auf deren Geschwindigkeit, vorgestellt.

T 72.5 Fr 15:00 M110

**Timing Performance of the ATLAS Pixel Detector** — ●ISKANDER IBRAGIMOV — Universität Siegen, Siegen, Deutschland

The ATLAS pixel detector is the innermost tracking detector of the ATLAS experiment at the LHC at CERN. It consists of 1744 identical modules, each made of a silicon sensor read out by 16 front end chips.

At the full LHC luminosity of  $10^{34} \text{ cm}^{-2}\text{s}^{-1}$  proton bunches will collide roughly every 25 ns. Each hit originating from a collision event has to be assigned to the correct bunch crossing for reconstruction. This requires global and local adjustments of the pixel detector readout. For the global adjustment w.r.t. other ATLAS sub-detectors the proper timing of the ATLAS synchronisation signals together with the optimised global trigger latency are necessary. The local adjustment implies compensation of differences in trigger propagation delays between modules induced by variations in the cable lengths. Another important aspect of the detector timing is the timewalk effect in the front end electronics, which causes losses of low amplitude signals in the next bunch crossing. To minimise the effect, an optimal sampling of collision hits with the clock has to be assured. Using special timing calibration scans the timewalk effect can be measured prior to collisions and its impact on the detector efficiency can be estimated.

In the talk an introduction into the pixel detector readout will be given and the mechanisms for the timing adjustments will be illustrated. Based on recent results from the pixel detector commissioning the current status of the detector timing will be presented.

T 72.6 Fr 15:15 M110

**Entwicklung eines Datenerfassungssystems für die Auslese des TimePix-Chips** — ●MICHAEL ZAMROWSKI, MARIUS GROLL, CHRISTIAN KAHRA und ULRICH SCHÄFER — Institut für Physik (ETAP), Johannes Gutenberg-Universität Mainz

Der TimePix-Chip ist ein CMOS Pixeldetektor mit einer Matrix aus  $256 \cdot 256$  Pixel, der in mikrostrukturierten Gasdetektoren (MPGD) zur Signalauslese eingesetzt wird. Der Vortrag behandelt die Entwicklung des Datenerfassungssystems zur Auslese des TimePix-Chips mithilfe eines Field Programmable Gate Array (FPGA), welches mit der maximalen Auslesefrequenz des TimePix-Chips von 100 MHz arbeiten kann.

Die Programmierung der Firmware des FPGAs geschieht in der Hardwarebeschreibungssprache VHDL (Very High Speed Integrated Circuit Hardware Description Language). Die vom FPGA direkt ausgelesenen Daten werden dann über eine Gigabit-Ethernet-Verbindung an einen Rechner versendet, der die ankommenden Daten weiterverarbeitet und analysiert. Neben der Datenauslese werden auch die Steuerungsbefehle an den TimePix über Ethernet gesendet, die dann von dem FPGA verarbeitet und an den TimePix weitergeleitet werden. Die Integration des Systems in den bestehenden Teststrahl Aufbau, sowie die Messungen und Resultate von ersten Auslesetests des TimePix-Chips werden vorgestellt.

T 72.7 Fr 15:30 M110

**Alternative Spannungsversorgungskonzepte für zukünftige Pixel- und Streifendetektoren** — ●CONRAD FRIEDRICH — DESY, Zeuthen

Derzeitige Pixel- und Streifendetektoren an modernen Teilchenbeschleunigern wie dem LHC bestehen aus einer Vielzahl einzelner Module, deren Front-End-Elektronik über tausende individuelle Leitungs-paare mit Gesamtleistungen von typischerweise mehreren 10 kW versorgt werden müssen. Durch thermische Verluste werden Effizienzen von 50% oft kaum überschritten, was zusätzliche Anforderungen an Kühlung und Monitoring impliziert. Zukünftige Detektoren sowie geplante Upgrades von ATLAS und CMS sehen eine Vervielfachung der Kanal-/Modulzahl vor, die neue und effizientere Stromversorgungskonzepte unumgänglich machen. Die diskutierten Alternativen sind serielle Konzepte (serial powering), die eine Reihenschaltung mehrerer Module und deren Versorgung mit einer Konstantstromquelle und lokalen Shunt-Regulatoren vorsehen, sowie parallele Schaltungen mehrerer Module über Einzelleitungen hoher Spannung und lokaler DC-DC Transformation auf den Modulen selbst. Beide Konzepte erreichen theoretisch Effizienzen bis über 80%, minimieren das eingebrachte Ma-

terial und die nötige Kühlleistung. Sie bergen jedoch andererseits auch neue Risiken hinsichtlich ihres Rauschverhaltens, der Strahlungsfestigkeit, Toleranz gegenüber starken Magnetfeldern und Ausfallsicherheit. Neben dem Vergleich beider Schemata werden Ergebnisse erster Implementierungen vorgestellt und diskutiert.

T 72.8 Fr 15:45 M110

**Entwicklung schneller VME-Module für Koinzidenz- und Diskriminatorstufen auf FPGA-Basis** — ●CARSTEN HEIDEMANN, FRANCISZEK ADAMCZYK, THOMAS HEBBEKER, GUENTER HILGERS, HANS REITHLER und HENRY SZCZESNY — RWTH Aachen, III. Physikalisches Institut A

Verschiedene für den Einsatz als Triggerlogik beim CMS Driftgeschwindigkeitmonitor bestimmte Module wurden neu entwickelt, um ältere NIM-Module durch VME-Module mit erweiterten Funktionen zu ersetzen. Die neuen Module basieren auf einer Kombination schneller NIM-Logik und einem FPGA. Der FPGA steuert und überwacht das Verhalten der NIM-Logik und bietet Zugriff auf alle Einstellungen und Daten über einen VME-Bus und über USB, zusätzlich lassen sich auch alle Einstellungen von Hand direkt am Modul vornehmen. Die Module sind in der Lage Pulslängen von wenigen Nanosekunden zu erfassen und zu verarbeiten. Die Module bieten unter anderem Zähler (48bit) für Ein- und Ausgangspulse sowie Messdauer(ns) und eine be-

liebig einstellbare Pulsdauer (48bit) des Ausgangspulse in ns. Neben der kontinuierlichen Messung bieten die Module auch die Möglichkeit, die Anzahl der zu erfassenden Pulse oder die Laufzeit vorzugeben.

T 72.9 Fr 16:00 M110

**Analog readout electronics for Silicon Photomultipliers** — ●WEI SHEN for the CALICE-Collaboration — Universität Heidelberg, Im Neuenheimer Feld 227, 69120 Heidelberg

Silicon photomultipliers (SiPM) are a novel type of solid state photon detector, which have similar internal gain factors as Photomultiplier Tubes (PMT). Thanks to their low operation bias voltage, magnetic field immunity and small size, this new silicon photon detector can be used in a wide range of applications, such as Calorimetry and Positron Emission Tomography, etc. The fast speed and wide dynamic range of its output signal put strong requirements on front-end readout electronics, especially with respect to the trend of low power supply voltage in the sub-micron CMOS technologies. Here, we report on a new proposal for a readout electronics scheme which would meet this challenge. The new scheme employs a current-mode architecture which provides the possibility to maintain both, high bandwidth and a large dynamic range. One analog channel using this scheme has been designed and simulated in AMS 0.35 $\mu$ m CMOS technology. Both the design and simulation results will be presented.