

T 58: Halbleiterdetektoren I

Zeit: Montag 16:45–19:00

Raum: HG VI

T 58.1 Mo 16:45 HG VI

Entwicklung von DC-DC Konvertern für den SLHC-CMS-Tracker — LUTZ FELD, RÜDIGER JUSSEN, WACLAW KARPINSKI, KATJA KLEIN, JENNIFER MERZ und •JAN SAMMET — RWTH-Aachen

Es ist geplant die Luminosität des LHC nach ca. 10-jähriger Laufzeit um eine Größenordnung zu erhöhen. Dieses Upgrade, auch Super LHC (SLHC) genannt, macht sowohl eine Steigerung der Granularität des CMS-Trackers, als auch dessen Integration in das Trigger-System erforderlich. Um den Leistungsbedarf dennoch auf heutigen Niveau halten zu können, oder sogar zu reduzieren, muss die Effizienz der Spannungsversorgung gesteigert werden.

Als Ausgangspunkt für ein neues Schema zur Spannungsversorgung sieht CMS den Einsatz von DC-DC Konvertern vor. Diese müssen strahlenthart, möglichst effizient, leicht und rauscharm sein.

Der Vortrag stellt die bislang in Aachen entwickelten Converter-Prototypen vor, welche u.a. auf für diesen Zweck von der CERN-Elektronik-Gruppe entwickelten ASICs aufbauen. Entsprechende Systemtest- und Rausch-Suszeptibilitäts-Messungen werden präsentiert.

T 58.2 Mo 17:00 HG VI

Entwicklung einer auf DC-DC Konvertern basierenden Spannungsversorgung des CMS-Siliziumpixeldetektors am SLHC — •RÜDIGER JUSSEN, LUTZ FELD, WACLAW KARPINSKI, KATJA KLEIN, JENNIFER MERZ und JAN SAMMET — 1. Physikalisches Institut B, RWTH Aachen

Im Rahmen des geplanten Luminositätsupgrades des LHC zum SLHC muss zunächst der Siliziumpixel- und einige Jahre später der Streifen-detektor des CMS-Experimentes ausgetauscht werden. Aufgrund der höheren Spurdichten werden Detektoren mit mehr Auslesekanälen benötigt.

Die dadurch zusätzlich benötigte Leistung muss durch die vorhandenen Kabel zugeführt werden, was eine Überarbeitung der Stromversorgung notwendig macht. Der von CMS gewählte Lösungsansatz hierzu ist die lokale Spannungs-konvertierung mit DC-DC Konvertern.

Dieser Vortrag beschreibt die geplante Implementierung dieses Konzeptes in den Siliziumpixel-detektor sowie die elektronische Charakterisierung der hierzu in Aachen entwickelten DC-DC Converter.

T 58.3 Mo 17:15 HG VI

Serial Powering Scheme for the ATLAS Pixel Detector at sLHC — •LAURA GONELLA, DAVID ARUTINOV, MARLON BARBERO, MARKUS CRISTINZIANI, ANDREAS EYRING, FABIAN HÜGGING, MICHAEL KARAGOUNIS, HANS KRÜGER, and NORBERT WERMES — Physikalisches Institut der Universität Bonn, Nussallee 12, D-53115 Bonn

A serial powering scheme is being developed for the ATLAS pixel detector at sLHC to improve power distribution, power efficiency and material budget. For the detector's outer layers, where 32 modules per stave are foreseen, the powering chain could be of 8, 16, or 32 modules depending on the needs. Every module will be made of a sensor and 4 new ATLAS pixel front-end chips FE-I4. To generate the two voltages needed by FE-I4 out of the constant current supply, two voltage regulators per chip are used. They have to be integrated to avoid additional components on the module, and the 8 regulators on each module have to operate in parallel to add redundancy to the scheme. To match these requirements, a new regulator concept has been developed, the Shunt-LDO. A protection scheme is also foreseen to avoid losing the entire chain in case of problems on a module, and to allow for arbitrary module selection. The main element of the protection scheme is the so called Module Protection Chip (MPC), featuring both slow control and real time over-voltage protection. An ATLAS pixel stave emulator has been developed to study system aspects related to the serial powering scheme, such as AC-coupled data transmission. An overview of the serial powering scheme and its elements will be given.

T 58.4 Mo 17:30 HG VI

FE-I4, the New ATLAS Pixel Chip for Upgraded LHC Luminosities — DAVID ARUTINOV, •MARLON BARBERO, MARKUS GRONEWALD, TOMASZ HEMPEREK, MICHAEL KARAGOUNIS, HANS KRUEGER, ANDRE KRUTH, and NORBERT WERMES — Physikalisches Institut der Universität Bonn, Nussallee 12, D-53115 Bonn

The new ATLAS pixel chip FE-I4 is being developed for use in up-

graded luminosity environments, in the framework of the Insertable B-Layer (IBL) project and the outer pixel layers of Super-LHC. FE-I4 is designed in a 130 nm CMOS technology and is based on an array of 80x336 pixels, each 50x250 μm^2 and consisting of analog and digital sections. The analog pixel section is designed for low power consumption. The digital architecture is based on a 4 pixel unit called region, which allows for a power-efficient, low recording inefficiency design, and provides a handle to the problem of timewalk. The chip periphery contains a digital control block, a command decoder, powering blocks, a data reformatting unit, an 8b10b coder and a clock multiplier unit, which handles data transmission up to 160 Mb/s for the IBL. Increased power consumption in the inner layers of ATLAS translates into more material for cooling and power routing, which degrades the tracking and the b-tagging quality. As a consequence the FE-I4 collaboration places severe constraints on the power consumption of all blocks. First full scale FE-I4 submission will occur beginning 2010.

T 58.5 Mo 17:45 HG VI

3D Electronics for Future Hybrid Pixel Detectors — •MARLON BARBERO, DAVID ARUTINOV, TOMASZ HEMPEREK, MICHAEL KARAGOUNIS, HANS KRUEGER, ANDRE KRUTH, and NORBERT WERMES — Physikalisches Institut der Universität Bonn, Nussallee 12, D-53115 Bonn

Future hybrid pixel detectors require smaller pixels in order to improve single point resolution and to deal with an increasing hit rate. Technology shrinking is the approach followed by the industry since decades, but starts presenting some disadvantages in term of performances and cost at very small feature size. New 3D integration technologies offer an alternative to feature reduction while bringing new benefits. In the framework of the upgrade of ATLAS pixel detector, a 3D version of the readout chip is investigated. Splitting the pixel functionalities into two separate levels will reduce pixel size and opens the opportunity to take benefit of technology mixing. Based on a previous prototype of the readout chip FE-I4, the design of a hybrid pixel readout chip using three-dimensional technology is pursued in a collaboration between Bonn (Germany), CPPM (France) and LBNL (USA). In order to disentangle effects due to the translation to the new 130 nm technology from effects due to the 3D architecture itself, a first 2D translation of FE-I4 prototype has also been done. The focus of the presentation will be the 3D designs developed, the issues encountered and the development of test system for 3D prototypes.

T 58.6 Mo 18:00 HG VI

Testing and Characterization of the new Pixel Front-End IC in the 3D integration technology for Upgraded LHC — •DAVID ARUTINOV, MALTE BACKHAUS, MARLON BARBERO, TOMASZ HEMPEREK, MICHAEL KARAGOUNIS, HANS KRÜGER, and NORBERT WERMES — Physikalisches Institut, Universität Bonn

ATLAS is a multi-purpose detector experiment operating at the LHC collider in CERN. The pixel detector being the innermost part of ATLAS provides precise particle position measurement at the nominal LHC luminosity of $10^{34} \text{ cm}^{-2} \text{ s}^{-1}$. After upcoming upgrades, assuming increase of the luminosity up to $10^{35} \text{ cm}^{-2} \text{ s}^{-1}$, the current pixel detector will not be able to sustain new higher hit rates. Therefore a pixel Front-End (FE) with a different architecture is needed for the pixel innermost layers. CMOS technology scaling down will be pursued in parallel to so-called 3D integration techniques. This new technology gives the possibility to split IC design flow in several layers of active parts and integrate the tiers in to a single package, using Through Silicon Via, chip thinning and tier to tier bonding technique. It is widely believed that 3D integration is a future for chip design in general and could present great benefits for hybrid pixel detectors. Prototypes of the new 3D pixel FE already exist. For testing purposes of the new 3D FE prototype, an FPGA based test setup was developed together with the FPGA firmware and the software interface. The results from these developments will be presented in this talk.

T 58.7 Mo 18:15 HG VI

ATLAS Pixel Auslese im IBL Projekt — MATTHIAS GEORGE, JÖRN GROSSE-KNETTER, •NINA KRIEGER und ARNULF QUADT — II. Physikalisches Institut, Universität Göttingen

Der ATLAS Pixel-detektor wurde auf 50 mRad Strahlendosis getestet,

um die Funktionalität nach 3-4 Jahren LHC Laufzeit zu prüfen. Insbesondere die innerste Lage des Detektors (5 cm Abstand zum Strahlrohr) wird so hohe Schäden erleiden, dass der Einbau einer neuen zusätzlichen Pixellage unumgänglich ist. Diese sogenannte B-Lage (3,7 cm Abstand zum Strahlrohr) wird jetzt zusammen mit einem geeigneten Auslesesystem innerhalb des IBL-Projektes entwickelt. Ein wesentlicher Bestandteil ist der neue FEI4 Auslesechip, dessen Prototyp Mitte 2010 für Testaufbauten verfügbar sein wird. Um das neue FEI4 Protokoll bereits jetzt in die Auslese zu integrieren, wurde von anderer Stelle ein FEI4 Modul Emulator entwickelt. In diesem Vortrag werden die Pläne und ersten Schritte zur Implementierung der 8b/10b Kodierung in dieses Testsystem sowie die Anpassung des sich in der Auslekette befindenen Read Out Drivers an das FEI4 Protokoll beschrieben.

T 58.8 Mo 18:30 HG VI

Elektrisches Auslesesystem für Multi-Modul Labortests des ATLAS Pixel-Detektors — •MATTHIAS GEORGE, JÖRN GROSSE-KNETTER, NINA KRIEGER, ARNULF QUADT und JENS WEINGARTEN — II. Physikalisches Institut, Universität Göttingen

Die innerste Komponente des ATLAS Spurdetektors ist der Pixel-Detektor. Er besteht aus drei zylindrischen Lagen und drei Endkappen-Scheiben, welche per optischer Datenübertragung ausgelesen werden. Auf Grund von Strahlenschäden, die im Laufe des Messbetriebs am Sensormaterial auftreten, ist es erforderlich, einige Komponenten des Pixel-Detektors zu ersetzen. Die hierfür neu entwickelten Detektormo-

dule müssen vor dem Einbau intensiven Tests, z.B. der Ausleseelektronik, unterzogen werden. Dabei ist es oft von Vorteil die komplexe optische Auslekette durch eine elektrische Auslese zu ersetzen. Dieser Vortrag behandelt ein elektrisches FPGA-basiertes Auslesesystem, welches die Datenauslese eines ATLAS Pixel-Moduls für Testmessungen mit Datenraten von 40MBit/s, 80MBit/s und 2x80MBit/s unterstützt.

T 58.9 Mo 18:45 HG VI

Entwicklung eines schnellen Auslesesystems für DEPFET-Sensoren — •MANUEL KOCH und WERMES NORBERT — Physikalisches Institut, Universität Bonn

DEPFET-Pixelsensoren werden für das Belle2 Experiment erstmals als Spurdetektoren in den innersten Lagen eingesetzt. Hierfür ist u.a. eine hohe Auslesegeschwindigkeit erforderlich. Ein neues Prototyp-Auslesesystem wurde entwickelt. Dieses basiert auf einer neuen Generation von ASICs zur Auslese (DCD2, "drain current digitizer") und Steuerung (Switcher3) des DEPFET-Sensors. Der Auslesechip DCD ist in der Lage, DEPFET-Sensoren mit hoher Ausgangskapazität (60pF) rauscharm und schnell (90ns pro Zeile) auszulesen. Zusätzlich wurde ein neues FPGA-System entwickelt um die hohen Datenraten zu verarbeiten. Detaillierte Messergebnisse zur Charakterisierung des DCD2 ASIC werden präsentiert, ebenso deren Einfluss auf die nächste Generation des Auslesechips (DCDb). Basierend auf Ergebnissen zur erreichbaren Auslesegeschwindigkeit des DEPFET-Sensors wird der Wechsel von einer korrelierten Doppelabtastung des Signals auf einen Betriebsmodus mit nur einer Abtastung motiviert.