

T 65: Halbleiterdetektoren V

Zeit: Freitag 14:00–16:15

Raum: 30.21: 001

T 65.1 Fr 14:00 30.21: 001

The power pulsing studies of the Mimosas26 chip for the PLUME project — ●OLENA BACHYNSKA — DESY, Hamburg, Deutschland

The physics of the ILC and the ILC machine environment present the real challenges to the detector designers. The clean initial state and the comparatively benign environment of a lepton collider are ideally suited to high precision measurements. To take a full advantage of the physics potential of ILC places great demands on the detector performance in a resolution and material budget. The PLUME project is aiming to design, fabricate and test a demonstrator ladder featuring minimal material budget and equipped with CMOS sensors on its both sides with possibility to operate in a strong magnetic field. Due to the 200ms cycle of the ILC machine and a necessity of a cooling there was taken a decision to pulse the power of the detector. So the behavior of the CMOS sensor Mimosas26 in the so called power pulsing mode need to be studied in details. There are several possibilities to pulse the power on the chip. This work represents the studies of the stand alone chip Mimosas26 properties in the different power pulsing conditions. The chip itself can operate in the two read out modes: analogue and digital. This work shows pedestals, noises and signals behavior in the analogue case of read out. To eliminate the sensor the Fe55 source and infrared laser were used. Both measurements analyzed and conclusions about the recovery time and abilities to operate in mentioned above conditions are made.

T 65.2 Fr 14:15 30.21: 001

DC-DC converters for the upgrades of the CMS tracker — ●JAN SAMMET, LUTZ FELD, WACLAW KARPINSKI, KATJA KLEIN, JENNIFER MERZ, JAKOB WEHNER, and MICHAEL WLOCHAL — RWTH Aachen University, I. Physikalisches Institut B

Within the present decade, it is foreseen to gradually increase the instantaneous luminosity of the LHC to $1\text{--}2 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$. Around 2020, it is intended to increase the luminosity further, to about $5 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$. To ensure and improve its physics performance, CMS is going to exchange its pixel detector around 2016. Four years later the complete tracker is going to be replaced by a new development. The use of DC-DC converters is foreseen for both of these upgrades. Radiation tolerant converters developed by working groups at CERN and Aachen match the requirements of the new pixel detector already. However, further work is required to integrate the converters on system level and to ensure their safe and reliable operation. The status of this work will be presented. Building a new tracking detector equipped with converters, raises several additional challenges. In particular the noise performance of the converters and their efficiency at large conversion ratios still has to be improved. The coil, used by the converters to buffer energy, has a significant impact on both of these issues. Effort has been put into the optimization of converter coils, as well as into the exploration and minimization of noise radiated by the coils. The talk will give a summary of the results of this work.

T 65.3 Fr 14:30 30.21: 001

FPGA-basierte Hochgeschwindigkeits-Datenerfassung von Prototypen für neue ATLAS-Silizium-Streifendetektormodule — ●SEBASTIAN GERHARDT — DESY

Als Teil des Upgrades des ATLAS-Detektors für die Hochluminositätsphase des LHC (LHC-HL) ist ein verbesserter Silizium-Streifendetektor geplant. DESY betreibt Forschung und Entwicklung für Prototypen von Streifendetektoren im Barrel-Bereich (Stave09) und im Bereich der Endkappen (Petal2014).

Parallel zum Voranschreiten der Modulfertigung wird ein neues System für die Hochgeschwindigkeits-Datenerfassung erprobt. Dieses DAQ-System dient zur Kontrolle der gefertigten Detektormodule und ist auch für die Datenauslese eines kompletten Endkappensegments geeignet.

T 65.4 Fr 14:45 30.21: 001

Aufbau für Labortests des neuen Auslesesystems innerhalb des IBL Projektes — JÖRN GROSSE-KNETTER, ●NINA KRIEGER, ARNULF QUADT und BENJAMIN VON ARDENNE — II. Physikalisches Institut, Georg-August-Universität Göttingen

Der Pixeldetektor ist mit 5 cm Abstand zum Interaktionspunkt der

Proton-Proton Kollision die innerste Lage des ATLAS Detektors und erfährt dadurch die meisten Strahlenschäden. Zudem ist die komplette Funktionalität des Pixeldetektors bis zum nächsten längeren Abschalten des LHCs im Jahr 2016 nicht garantiert. Da die B-Lage aber für eine gute Vertexauflösung besonders wichtig ist, wird eine neue zusätzliche Pixellage unumgänglich sein. Diese sogenannte einsetzbare B-Lage IBL (3,7 cm Abstand zum Interaktionspunkt) wird jetzt zusammen mit einem geeigneten Auslesesystem und einem neuen FE-I4 Auslesechip innerhalb des IBL-Projektes entwickelt. Um einen Aufbau des neuen Auslesesystems für zukünftige Labortests zu erhalten, der ohne die optische Auslesekarte BOC auskommt, wurde die im IBL Projekt neu eingeführte 8b/10b Kodierung in einen elektrischen BOC (eBOC) implementiert. In diesem Vortrag wird der Laboraufbau, bestehend aus einem FE-I3-Modul-Emulator mit 8b/10b Encoder und einem ROD-eBOC Paar für die Auslese, beschrieben. Weiterhin wird auf Testmessungen eingegangen, die eine 8b/10b-kodierte Datenübertragung validieren.

T 65.5 Fr 15:00 30.21: 001

Entwicklung eines FPGA-basierten FE-I3-Auslesesystems und Charakterisierung von neuartigen 3D- und planaren Pixeldetektoren — ●JENS JANSSEN¹, FABIAN HÜGGING¹, HANS KRÜGER¹, MARLON BARBERO¹, MALTE BACKHAUS¹, SEBASTIAN SCHULTES¹, JÖRN GROSSE-KNETTER², JENS WEINGARTEN², CHRISTIAN GALLRAPP³ und NORBERT WERMES¹ — ¹Physikalisches Institut, Universität Bonn, Nussalle 12, D-53111 Bonn — ²II. Physikalisches Institut, Universität Göttingen, Friedrich-Hund-Platz 1, D-37077 Göttingen — ³CERN, PH & DT Department, CH-1211, Genève 23

USBpix ist ein FPGA-basiertes Auslesesystem, das für den ATLAS-FE-I3-Auslesechip entwickelt wurde. Ein USB-2.0-Mikrokontroller übernimmt die Kommunikation zwischen dem FPGA und dem Host-Computer und steuert autonom den FPGA. Hinter einem Software-Interface verbirgt sich die Hardware-Struktur des USBpix-Testsystems und ermöglicht der Anwendungssoftware einen unkomplizierten Zugang zu der Funktionalität des FE-I3-Auslesechips. Zusätzlich wurde USBpix an die Erfordernisse des EUDET-JRA1-Teleskops angepasst. Mit Hilfe dieses Auslesesystems wurden Labor-Charakterisierungen von neuartigen Sensoren (planare n-auf-n- und 3D n-in-p-Strukturen) durchgeführt, die hinsichtlich eines Upgrades des ATLAS-Pixeldetektors (IBL, sLHC/HL-LHC) in Frage kommen.

T 65.6 Fr 15:15 30.21: 001

Ergebnisse der ersten FE-I4 IC und single-chip Modul Laborcharakterisierungen — ●MALTE BACKHAUS¹, DAVID ARUTINOV¹, MARLON BARBERO¹, JÖRN GROSSE-KNETTER², LAURA GONELLA¹, TOMASZ HEMPEREK¹, FABIAN HÜGGING¹, MICHAEL KARAGOUNIS¹, ANDRE KRUTH¹, JENS WEINGARTEN² und NORBERT WERMES¹ — ¹Physikalisches Institut der Universität Bonn — ²II. Physikalisches Institut der Universität Göttingen

Ein neuer Auslesechip (FE-I4) für die geplanten Upgrades des ATLAS Pixeldetektors (Insertable B-Layer und High Luminosity LHC) wurde entwickelt und produziert. Die digitale Ausleseketten wurde dabei komplett neu gestaltet um die gestiegenen Anforderungen, besonders die sehr hohe Trefferwahrscheinlichkeit pro Pixel, zu erfüllen. Das bereits für den momentanen Auslesechip (FE-I3) bestehende Testsystem USBpix wurde als Testsystem für FE-I4 weiterentwickelt und dient als Testsystem für FE-I4 IC und Modul Charakterisierungen in Labor und Teststrahlumgebung. Die ersten Messungen zur digitalen und analogen Leistungsfähigkeit von FE-I4 alleine (bare IC) und verbunden mit einem Sensorchip (hybrid pixel assembly) werden vorgestellt.

T 65.7 Fr 15:30 30.21: 001

Entwicklung eines auf USBpix basierenden Strahl-Teleskops mit FE-I3 und FE-I4 Auslesechips — ●SEBASTIAN SCHULTES¹, NORBERT WERMES¹, HANS KRÜGER¹, FABIAN HÜGGING¹, MARLON BARBERO¹, MALTE BACKHAUS¹, JENS JANSSEN¹, VLADYSLAV LIBOV², JENS WEINGARTEN³ und JOERN GROSSE-KNETTER³ — ¹Physikalisches Institut, Universität Bonn — ²DESY, Hamburg — ³II. Physikalisches Institut, Universität Göttingen

USBpix ist ein FPGA basierendes Auslesesystem für FE-I3 und FE-I4. Es wurde als Testplattform für selbige Auslesechips und die zugehörigen Sensoren entwickelt. Eine wichtige Methode zur Charakte-

risierung von Auslesechips und Sensoren ist die Messung ihres Verhaltens in einem Teststrahl unter Verwendung eines Referenzmeßsystem, des sogenannten Strahl-Teleskops. Daher wurde auch für USBpix die Möglichkeit geschaffen das Testsystem in ein bestehendes Strahl-Teleskop, das EUDET-JRA1-Teleskop, zu integrieren und ein eigenes Strahl-Teleskop aufzubauen. Das USBpix-Teleskop basiert auf dem, im Rahmen des EUDET-Projektes entwickelten, EUDAQ-Framework. Im Vortrag werden die Anforderungen und notwendigen Anpassungen am USBpix-System für eine solche Integration und den daraus resultierenden Aufbau eines eigenständigen Strahl-Teleskops diskutiert. Des Weiteren wird der Entwicklungsstand eines USBpix basiertes FE-I3/FE-I4 Teleskop gezeigt und erste Ergebnisse präsentiert.

T 65.8 Fr 15:45 30.21: 001

Teststrahl-Messungen an FE-I4 Pixel Modulen für das ATLAS IBL Projekt — •MATTHIAS GEORGE, JÖRN GROSSE-KNETTER, ARNULF QUADT und JENS WEINGARTEN — II. Physikalisches Institut, Georg-August-Universität Göttingen

Die innerste Komponente des ATLAS Spurdetektors ist der Pixel-Detektor. Er besteht aus drei zylindrischen Lagen und drei Endkappen-Scheiben. Da die innerste Lage dem höchsten Teilchenfluss ausgesetzt ist, wird sich ihre Funktionalität durch Strahlenschäden im Laufe des Messbetriebs reduzieren. Im Rahmen des "Insertable b-Layer" (IBL) Projektes soll deshalb eine weitere Lage in den bestehenden Detektor eingesetzt werden. Hierfür stehen drei verschiedene Sensor-Technologien (Planare Silizium Sensoren, 3-dimensional prozessierte Silizium Sensoren, Diamant Sensoren), bestückt mit einer neuen Generation von Auslesechips (FE-I4), zur Auswahl. Deren Eignung wird u.A. im Rahmen von Teststrahl-Messungen quantifiziert. In diesem

Vortrag werden Ergebnisse der ersten Teststrahl-Messungen der neuen Detektor-Generation vorgestellt.

T 65.9 Fr 16:00 30.21: 001

Testing and Characterization of a new Pixel Front-End IC in 3D Integration Technology for Upgraded LHC — •DAVID ARUTINOV, MARLON BARBERO, TOMASZ HEMPEREK, MICHAEL KARAGOUNIS, ANDRÉ KRUTH, HANS KRÜGER, and NORBERT WERMES — Physikalisches Institut, Universität Bonn, Bonn, Deutschland

ATLAS is one of the four main particle detectors located on the LHC ring at CERN. The upcoming upgrades (Insertable B-Layer ~ 2014 and High Luminosity LHC ~ 2020) assume luminosity ramp-up up to $10^{35} \text{cm}^{-2} \text{s}^{-1}$ and as a result higher particle multiplicity. This in turn makes complicated the usage of the current pixel detector Front End (FE) FE-I3 since its architecture is not tuned for the higher hit rates and becomes inefficient. A new FE with an architecture adapted to higher occupancies is therefore needed. In parallel to the new FE-I4 designed in 130 nm CMOS technology, a similar IC is being developed in a so-called 3D technology. This technology gives the possibility to split the IC into several active parts (tiers) and combine them using Through Silicon Via and bonding techniques into one package. Such kind of integration leads to a smaller pixel size and allows choosing for each tier a suitable technology. It is widely believed that 3D integration is the future for chip design in general and particularly for HEP applications. As 3D integration is new for the HEP community, special attention should be brought to the prototype IC testing and characterization. In this talk, a description of the new FETC4 architecture as well as first test results will be presented.