

T 96: Halbleiterdetektoren V (DEPFET)

Zeit: Donnerstag 16:45–18:45

Raum: VMP8 HS

T 96.1 Do 16:45 VMP8 HS

First large DEPFET pixel modules for the Belle II Pixel Detector — ●FELIX MÜLLER¹, LADISLAV ANDRICEK², PAOLA AVELLA¹, CHRISTIAN KIESLING¹, CHRISTIAN KOFFMANN¹, HANS-GÜNTHER MOSER¹, RAINER RICHTER², and MANFRED VALENTAN¹ for the Belle II-Collaboration — ¹Max-Planck-Institut für Physik, München — ²Halbleiterlabor der Max-Planck-Gesellschaft, München

DEPFET pixel detectors offer excellent signal to noise ratio, resolution and low power consumption with a low material budget. They will be used at Belle II and are a candidate for an ILC vertex detector. The pixels are integrated in a monolithic piece of silicon which also acts as PCB providing the signal and control routings for the ASICs on top. The first prototype DEPFET sensor modules for Belle II have been produced. The modules have 192000 pixels and are equipped with SMD components and three different kinds of ASICs to control and readout the pixels. The entire readout chain has to be studied; the metal layer interconnectivity and routings need to be verified. The modules will be fully characterized and the operation voltages and control sequences of the ASICs will be investigated. An overview of the DEPFET concept and first characterization results will be presented.

T 96.2 Do 17:00 VMP8 HS

Testmessungen an der Ausleseelektronik des Belle II Pixeldetektors — JOCHEN DINGFELDER, LEONARD GERMIC, TOMASZ HEMPEREK, ●JAN CEDRIC HÖNIG, HANS KRÜGER, FLORIAN LÜTTICKE, CARLOS MARINAS, BOTHO PASCHEN und NORBERT WERMES für die Belle II-Kollaboration — Physikalisches Institut, Universität Bonn

Die e+e- Fabrik KEKB in Japan erfährt momentan ein Upgrade hin zum neuen SuperKEKB Beschleuniger, der vielfach höhere Luminosität erreichen wird als sein Vorgänger, was auch ein Upgrade des Belle Detektors notwendig macht. Der verbesserte Belle II Detektor wird einen neu gestalteten Vertex Detektor enthalten, dessen innerste beiden Lagen werden aus Pixelsensoren bestehen, die auf DEPFET (engl.: depleted p-channel field-effect transistor) Technologie basieren. Testmessungen mit den neuesten Pixeldetektor-Modulen werden im Moment durchgeführt, um sicherzustellen, dass der Detektor allen Anforderungen gewachsen ist. Eine wichtige Rolle spielt die Ausleseelektronik der Pixelmodule. Eine wesentliche Komponente dieser Ausleseelektronik ist der ADC (Analog-Digital-Converter). In diesem Vortrag wird für die Belle II Pixelmodule genutzte ADC kurz vorgestellt, die Methoden zur Optimierung des ADCs diskutiert und entsprechende Tests der aktuellen Pixelmodulgeneration vorgestellt. Eine weitere gewünschte Eigenschaft des Detektors ist die Fähigkeit den Detektor blind zu schalten (genannt: gated Modus). Es werden Grundlagen dieses Modus erklärt und aktuelle Ergebnisse vorgestellt.

T 96.3 Do 17:15 VMP8 HS

Teststrahlungsmessungen an großen DEPFET Pixelsensoren für den Belle II Vertexdetektor — JOCHEN DINGFELDER, LEONARD GERMIC, JAN CEDRIC HÖNIG, HANS KRÜGER, ●FLORIAN LÜTTICKE, CARLOS MARINAS, BOTHO PASCHEN und NORBERT WERMES für die Belle II-Kollaboration — SiLab, Physikalisches Institut, Rheinische Friedrich-Wilhelms-Universität Bonn, Deutschland

Der Super-KEKB Beschleuniger am KEK Forschungszentrum in Tsukuba, Japan wird nach dem momentan durchgeführten Upgrade eine um den Faktor 40 höhere Luminosität liefern. Um die höhere Datenrate ausnutzen zu können, wird der Belle Detektor zu Belle II aufgerüstet. Dabei werden die innersten beiden Lagen des neuen Vertexdetektors aus DEPFET Pixelsensoren bestehen, die näher an den Interaktionspunkt verschoben sind, um eine höhere Vertextauflösung zu erreichen. Ein DEPFET Pixel besteht aus einem MOSFET, dessen Source-Drain-Strom durch gesammelte Ladung moduliert wird und dadurch als erste Verstärkungsstufe dient. Dieser Strom wird im Drain-Current-Digitizer (DCDB) in digitale Werte gewandelt, die kontinuierlich ausgelesen werden und in dem Data-Handling-Processor (DHP) verarbeitet und über eine Hochgeschwindigkeitsverbindung an die Back-End-Elektronik gesendet werden. In diesem Vortrag werden Messungen einer Teststrahlkampagne und ortsaufgelöste Messungen mit einem Lasersystem verglichen, die an großen DEPFET Pixelsensoren mit mehreren ASICs vorgenommen wurden. Dabei wurden die Operationsparameter des Sensors verändert und damit die Ladungssammlungseigenschaften überprüft.

T 96.4 Do 17:30 VMP8 HS

Optimierung des Drain Current Digitizer Chips für den Belle II DEPFET Sensor — ●PHILIPP WIEDUWILT, BENJAMIN SCHWENKER und ARIANE FREY — Universität Göttingen, II. Physikalisches Institut

Der zukünftige Belle II Detektor am SuperKEKB Beschleuniger in Japan wird mit einem hochauflösenden, zentralen Pixeldetektor für genaue Track- und Vertextauflösungen ausgestattet sein. Dieser zweilagige innere Siliziumdetektor basiert auf der DEPFET-Technologie. Die zur Auslese einer DEPFET-Pixelmatrix nötige Digitalisierung von Signalströmen wird in einem speziell entwickelten ASIC-Chip, dem Drain Current Digitizer (DCD), realisiert. Der DCD digitalisiert 256 Eingangsströme in 256 parallel arbeitenden Analog-Digital-Wandlern (ADC). Verschiedene Parameter, Spannungen und Ströme, steuern die Funktionsweise der ADCs. Es ist notwendig, den Arbeitspunkt für die ADCs mithilfe dieser Parameter zu optimieren. In diesem Vortrag wird eine Optimierungsstrategie für den DCD präsentiert und diskutiert. Sie basiert auf der Erkennung spezifischer Fehler in den ADC Kurven, die durch ungünstig gesetzte Parameterwerte entstehen.

T 96.5 Do 17:45 VMP8 HS

The BEAST II Experiment at Belle II: Characterization of the commissioning detector system for SuperKEKB — PATRICK AHLBURG, ANDREAS EYRING, VIACHESLAV FILIMONOV, HANS KRUEGER, ●LAURA MARI, CARLOS MARINAS, DAVID-LEON POHL, NORBERT WERMES, and JOCHEN DINGFELDER — University of Bonn

Before the upgraded vertex detector for the Belle II experiment at the SuperKEKB collider in Japan will be installed, a dedicated detector system for machine commissioning (BEAST II) will be employed. One of its main objectives is to measure and characterize the different background types in order to ensure a safe environment before the installation of the actual silicon detector systems close to the interaction point.

FANGS, a detector system at BEAST II, based on ATLAS-IBL front-end electronics and planar silicon sensors is currently being developed for this purpose. The unique feature of this detector system is the high energy resolution achieved by using an external FPGA clock to sample the time-over-threshold signal, while keeping the excellent timing properties. The complete detector system will be presented in this talk.

T 96.6 Do 18:00 VMP8 HS

Charakterisierung von DEPFET-Teststrukturen der Pilotserie für den Belle II-Pixeldetektor — JOCHEN DINGFELDER, LEONARD GERMIC, TOMASZ HEMPEREK, CEDRIC HÖNIG, HANS KRÜGER, FLORIAN LÜTTICKE, CARLOS MARINAS, ●BOTHO PASCHEN und NORBERT WERMES für die Belle II-Kollaboration — Universität Bonn

Die derzeit stattfindende Aufrüstung der B-Fabrik am KEK in Japan wird die Luminosität am Belle-Experiment um einen Faktor 40 auf $8 \cdot 10^{35} \text{ cm}^{-2} \text{ s}^{-1}$ erhöhen. Aufgrund der erwarteten höheren Datenrate ist ein Neudesign des Vertexdetektors notwendig. Zusätzlich zu einem vierlagigen Streifendetektor wird ein neuer Pixeldetektor bestehend aus zwei Lagen von Siliziumsensoren am nächsten am Interaktionspunkt eingebaut werden. Der Pixelsensor besteht aus Feldeffekttransistoren mit verarmtem p-Kanal (DEPFET). Seit 2015 ist eine Pilotserie (PXD9) der Belle II-Pixelmatrizen mit einer Pixelfläche von $55 \times 50 \mu\text{m}^2$ und einer Dicke von $75 \mu\text{m}$ verfügbar. Für die Signalauslese und -verarbeitung im Experiment werden anwendungsspezifische integrierte Schaltungen (ASICs) entwickelt und eine kleine PXD9-Matrix mit 80×32 Pixeln wurde erfolgreich in einem Gesamtsystem mit den aktuellen ASIC-Prototypen getestet. Wichtige Parameter für das Verhalten sind die Spannungen zwischen den verschiedenen Siliziumimplantaten des DEPFET-Sensors und die optimalen Einstellungen müssen experimentell ermittelt werden. Die aktuellen Ergebnisse von Messungen zur Sensor- und Systemcharakterisierung des Testsystems mit Elektronen und Photonen aus radioaktiven Quellen und am Teststrahl des Deutschen Elektronen Synchrotron (DESY) werden präsentiert.

T 96.7 Do 18:15 VMP8 HS

Optimization of ADC Transfer Curves for the Belle II Pixel Detector — ●JAKOB HAIDL¹, FELIX MÜLLER¹, CHRISTIAN

KOFFMANE², HANS-GÜNTHER MOSER¹, CHRISTIAN KIESLING¹, and MANFRED VALENTAN¹ for the Belle II-Collaboration — ¹Max-Planck-Institut für Physik, München — ²Halbleiterlabor der Max-Planck-Gesellschaft, München

The Super-KEKB accelerator at the KEK high energy research center in Tsukuba in Japan will provide a 40 times higher luminosity. To cope with this high luminosity the Belle detector is improved to Belle II, which includes the integration of a two layer DEPFET pixel detector (PXD) resulting in a higher vertex resolution. The task of the read-out electronics is to process the high data rate of the PXD. To fulfill these requirements three different types of ASICs were designed. The foremost of them called Drain Current Digitizer (DCD) converts the drain currents of the DEPFET pixel sensors into digital code. Since the PXD will be equipped with 160 DCDs automatic testing of the chips is needed. Analog to digital transfer curves are an appropriate tool for error recognition and optimization of the digitization process within the DCD. An overview of measurements and optimization strategies will be presented.

T 96.8 Do 18:30 VMP8 HS

JTAG Boundary-Scan of the Belle II Pixel Vertex Detector —
•PHILIPP LEITL for the Belle II-Collaboration — Max-Planck-Institut für Physik

For the upgrade of the Vertex Detector at the Belle II experiment, DEPFET sensors will be used. This new technology requires specific electronics for controlling and readout. Therefore three different kinds of Application-Specific Integrated Circuits (ASICs) are mounted very close to the sensors. Because of space limitations ball grid arrays (BGAs) are used for the contacts to the electronic circuitry.

After the mounting process this results in a lack of physical access to the electrical connections. With Boundary-Scan tests, following the IEEE Std 1149.1, it is possible to regain access to the pins for inter-connection tests. In this way a quality assurance (QA) is possible to verify that the integration was done correctly and that the circuitry and the electronics are working properly.

The present user-friendly system is presented, including the description of additionally developed hardware as well as necessary adjustments to the netlist files and Boundary-Scan Description Language (BSDL) Files of the ASICs. Achieved measurement results from the so far produced detector modules are shown.