

## HK 14: Instrumentierung III

Time: Monday 16:30–18:45

Location: HS2

HK 14.1 Mon 16:30 HS2

**The GANDALF High-Resolution Transient Recorder System** — STEFAN BARTKNECHT, HORST FISCHER, FLORIAN HERRMANN, KAY KÖNIGSMANN, LOUIS LAUSER, CHRISTIAN SCHILL, •SEBASTIAN SCHOPFERER, and HEINER WOLLNY — Physikalisches Institut der Universität Freiburg

With present-day detectors in high energy physics one is often faced with fast analog pulses of a few nanoseconds risetime which cover large dynamic ranges. In many experiments both amplitude and time information have to be measured with high accuracy. Additionally, the data rate per readout channel can reach several MHz, which leads to high demands on the separation of pile-up pulses.

For such applications we have designed the GANDALF transient recorder with a resolution of 12bit@1GS/s and an analog bandwidth of 500 MHz. Signals are digitized with high precision and processed in real-time by fast algorithms to extract amplitudes and pulse arrival times with a resolution in the picosecond range. With up to 16 analog channels, deep memories and a high data rate interface, this 6U-VME64x/VXS module is not only a dead-time free digitization unit but also has huge numerical capabilities provided by the implementation of a Virtex-5 SXT FPGA. The calculated pulse information can be transferred via the VXS backplane to a central TIGER module which performs trigger decisions spanning a large number of channels.

This project is supported by BMBF and EU FP7.

HK 14.2 Mon 16:45 HS2

**Implementierung eines Multikanal Time-to-Digital Converter (TDC) in einem Virtex-5 FPGA auf dem GANDALF-System** — •MAXIMILIAN BÜCHELE, STEFAN BARTKNECHT, HORST FISCHER, FLORIAN HERRMANN, KAY KÖNIGSMANN, CHRISTIAN SCHILL, SEBASTIAN SCHOPFERER und HEINER WOLLNY — Physikalisches Institut der Albert-Ludwigs-Universität Freiburg

Das GANDALF-VME64x-Modul wurde zur Digitalisierung und Echtzeitanalyse von Detektorsignalen entwickelt. Durch Anordnung der Signaleingänge auf Steckkarten kann die Virtex-5 FPGA Architektur des Mainboards für universelle Anwendungen genutzt werden. Über eine VHDCI-Steckverbindung kann GANDALF als TDC-Einheit insgesamt 128 LVDS-Kanäle entgegennehmen und verarbeiten.

In diesem Projekt wird ein Shifted-Clock-Sampling Algorithmus zur Zeitmessung verwendet. Dabei wird die Phase der Taktsignale für die Digitalisierung äquidistant verschoben. Eine besondere Herausforderung dieses Algorithmus liegt in der gleichmäßigen Platzierung und dem Routing der Logikkomponenten im FPGA.

Entsprechend den gegebenen Detektoranforderungen wird eine Digitalisierungsbreite von 250 ps realisiert. Der TDC ist für Ereignisraten von 10 MHz pro Kanal und 100 kHz Triggerrate ausgelegt. Weiter ermöglicht es die Logik, nur Messwerte von Ereignissen, die in einem einstellbaren Zeitfenster vor oder nach einem Triggerzeitpunkt registriert wurden, auszugeben. Dieses Projekt wird vom BMBF unterstützt.

HK 14.3 Mon 17:00 HS2

**An efficient threshold and noise extraction algorithm suitable for FPGAs** — •MARIUS C. MERTENS and JAMES RITMAN for the PANDA-Collaboration — Institut für Kernphysik, Forschungszentrum Jülich GmbH

A silicon pixel detector's threshold and noise are typically characterized by recording the detection efficiency as a function of the signal size. This data follows a characteristic S-curve and can be mathematically described by a Gauss error function. The common way to extract threshold and noise is a fit of the error function to the data, thus requires solving a nonlinear optimization problem. In this talk, we present a novel method which allows the determination of threshold and noise in a purely analytical way suitable for an FPGA implementation.

HK 14.4 Mon 17:15 HS2

**Entwicklung eines FPGA-basierten Meantimers und einer Koinzidenzschaltung** — •JOHN BIELING — Universität Bonn — COMPASS-Kollaboration

Für das COMPASS-Experiment am CERN sind komplexe Trigger-schaltungen nötig. Hierzu wurden auf einem an der Universität Freiburg entwickeltem Vielzweck-FPGA-Board (GANDALF) ein 64-

Kanal-Meantimer und eine 32x32 Koinzidenzschaltung umgesetzt und zur Strahlzeit 2010 erfolgreich eingesetzt.

Hauptaufgabe des Meantimers ist die zeitliche Mittlung von zwei Eingangssignalen im Sub-Nanosekundenbereich. Aufgrund dieser zeitkritischen Anforderungen muss der FPGA ungetaktet betrieben werden. Neben einem kurzen Einblick in die Entwicklungsmethode der ungetakteten Schaltungen werden einige Messergebnisse der Strahlzeit 2010 präsentiert. Weiterhin wird die Temperaturabhängigkeit des Systems diskutiert.

HK 14.5 Mon 17:30 HS2

**FPGA-basierte Triggerarchitektur mit integriertem TDC** — •DMYTRO LEVIT, IGOR KONOROV, ALEXANDER MANN, STEFAN HUBER und STEPHAN PAUL — Technische Universität München, Deutschland

In dem Vortrag wird das Konzept eines konfigurierbaren Systems für den Aufbau einer verteilten Architektur von digitalen Triggern mit integrierten Time-to-Digital-Converter(TDC)-Modulen präsentiert. Da ein TDC auf der Basis von bereits vom Hersteller integrierten Modulen (USERDES) des verwendeten FPGAs implementiert wird, benötigt ein TDC-Modul sehr wenige Ressourcen welche für die Implementierung der Trigger-Logik verwendet werden können. Die Software, entwickelt in der Programmiersprache Java, wird für das Entwerfen der Triggerarchitektur in einer graphischen Oberfläche und zur Erzeugung von VHDL-Quellcode verwendet. In Hardware kann der Trigger in einem oder mehreren Modulen mit je einem Virtex-FPGA implementiert werden, so dass größere Systeme ermöglicht werden.

Ein Prototyp eines Triggers für das COMPASS Experiment sowie Labormessungen der differentiellen Nichtlinearität und der zeitlichen Auflösung des TDC werden präsentiert.

Das Projekt wird vom BMBF, dem Maier-Leibnitz-Laboratorium Garching sowie dem Exzellenzcluster 'Origin and Structure of the Universe' unterstützt.

HK 14.6 Mon 17:45 HS2

**FPGA-based Online Trigger Algorithm Development for HADES** — •MING LIU, THOMAS GESSLER, ANDREAS KOPP, WOLFGANG KÜHN, JENS SÖREN LANGE, YUTIE LIANG, DAVID MÜNCHOW, BJÖRN SPRUCK, and QIANG WANG for the HADES-Collaboration — II. Physikalisches Institut, Justus-Liebig-Universität Giessen, Germany

Based on the ATCA compatible Compute Node (CN), investigation and development work has been conducted for the HADES online trigger algorithms on FPGAs. Specifically the inner MDC track reconstruction and the RICH ring recognition are respectively implemented into hardware processing engines, named Tracking Processing Unit (TPU) and Ring Recognition Unit (RRU). The TPU module searches for particle penetration points on a projection plane and reconstructs inner track segments from the target to those points; The RRU module identifies Cherenkov ring patterns generated by dilepton pairs, and correlates to the tracking result by receiving particle tracks which help to specify potential ring centers. Both modules will be integrated in the system design for online detector data processing. Implementation results reveal the feasibility to realize the complex algorithms on the FPGA. Preliminary tests have been done to estimate the system performance.

This work was supported in part by BMBF under contract Nos. 06GI91071 and 06GI91081, FZ-Juelich under contract No. COSY-099 41821475, HIC for FAIR, and WTZ: CHN 06/20.

HK 14.7 Mon 18:00 HS2

**FPGA basierendes Elektronstrahl-Polarimeter und zellulärer Clusterzähler für das Crystal-Ball-Experiment am Mainzer Mikrotron (MAMI)** — •PETER-BERND OTTE für die A2-Kollaboration — Institut für Kernphysik, Mainz, Germany

Am Crystal-Ball (CB) Experiment am Elektronenstrahl-Beschleuniger MAMI in Mainz werden Nukleonen und weitere Hadronen mittels eines realen Photonenstrahls untersucht. Mit der neuen Beschleunigerstufe, MAMI-C, steht ein intensiver polarisierter Strahl mit einer Energie von bis zu 1,604 GeV zur Verfügung. Dieser erzeugt durch Bremsstrahlung und dem Glasgow Tagging-Spektrometer einen energiemarkierten Photonenstrahl. Ein hermetisches Detektorsystem, bestehend aus

dem CB/TAPS-Kalorimeter und weiteren Detektoren, welche eine Teilchenidentifikation und Spurrekonstruktion erlauben, weist Vielkörper-Endzustände exklusiv nach.

Die Leistungsfähigkeit dieses Detektorsystems wurde vor Kurzem durch eine neue Elektronik erweitert: Mittels 19 FPGA VME-Karten ist es möglich, alle 2300 Digitalsignale des Experiments flexibel zu verarbeiten. Im ersten Teil meines Vortrags gehe ich auf den Aufbau und die zellulare Logik des CB-Cluster-Zählers ein, dessen Entscheidungszeit nur 100ns beträgt. Im zweiten Teil stelle ich die neue Datennahme-Elektronik für unser seit einem Jahr im Einsatz befindliches Elektronenstrahl-Polarimeter vor, welches alle Komponenten auf einen Chip beherbergt. Darunter zählen insbesondere TDCs mit 50ps Auflösung, eine Berechnungs- und eine Histogrammier-Einheit.

HK 14.8 Mon 18:15 HS2

**The SysMES Inventory Module in the ALICE HLT Cluster** — ●JOCHEN ULRICH, CAMILO LARA, STEFAN BÖTTGER, TIMO BREITNER, PIERRE ZELNICEK, and UDO KEBSCHULL for the ALICE-Collaboration — Kirchhoff-Institute for Physics, Heidelberg University, Germany

When debugging, deciding on structural changes or distributing tasks in a heterogeneous computer environment like the ALICE HLT cluster, knowing the configuration of the nodes (hardware, software, network structure) is crucial. Gathering that information can be a time consuming task. That effort can be reduced by holding the information in an inventory database. Since a manually filled inventory is error-prone and hard to keep up-to-date, complete and consistent, an automatically updated inventory is needed to ensure the correctness of the data and thereby make the data usable for other components like for example external scheduling. The inventory has been developed as a SysMES\* component in order to use existing functionality, for example transactionality, monitors, clients. It uses an object-oriented model which is based on the Common Information Model and is used to describe the

heterogeneous environment with all its specifics. The data is gathered using SysMES monitors and stored in a RDBMS making it available to other applications. The inventory module scans new nodes completely, keeps the data up to date automatically, visualizes the data in the SysMES GUI and informs about changes using SysMES events.

\* SysMES is the management solution used in the HLT cluster. DPG09 HK53.2

HK 14.9 Mon 18:30 HS2

**Virtual Machine Scheduling in the ALICE HLT** — ●STEFAN BOETTGER, JOCHEN ULRICH, CAMILO LARA, TIMO BREITNER, PIERRE ZELNICEK, and UDO KEBSCHULL for the ALICE-Collaboration — Kirchhoff-Institut for Physics, Heidelberg University, Germany

The ALICE HLT Cluster is dedicated to processing on-line data during the runtime of the ALICE experiment. However not all resources are constantly used for on-line processing. Our goal is to make use of these temporarily unused resources for running third party physics applications inside of virtual machines (vms). Uppermost priority is to minimize the probability that these vms interfere with the on-line processing. Therefore the first step is to find out about the resource requirements of the HLT processing components. From these requirements we derive policies, which describe free resources usable for vms. These policies we feed into a virtual machine scheduler, that runs vms wherever it is possible according to the policies. However there is no guarantee that either the HLT components or the vms will not consume more resources than described by the policies. In such a case the scheduler needs to resolve these policy violations by killing, stopping, suspending or live-migrating running vms. The choice for the proper vm-operation depends on its duration and impact on resource usage. In this work we present measurements for the resource usage of the HLT on-line components and derive according policies. Furthermore we show measurements for the vm-operations which help the scheduler to choose the best possible actions.