

T 77: DAQ, Trigger und Elektronik 2

Zeit: Donnerstag 16:45–19:00

Raum: GER-039

T 77.1 Do 16:45 GER-039

A readout system for pixelated micropattern gaseous detectors — ●MICHAEL LUPBERGER, KLAUS DESCH, and JOCHEN KAMINSKI for the LCTPC - Deutschland-Collaboration — Physikalisches Institut, Universität Bonn

With the development of GEM (Gas Electron Multiplier) and Micromegas (Micro-Mesh Gaseous Structure) gaseous detectors became interesting again to applications in high energy physics. They are used in several experiments as CMS, COMPASS and T2K. Spatial resolutions of several $10\mu\text{m}$ can be achieved with highly granular anodes as for example the Timepix chip. Moreover, this chip is capable to measure the arrival time of charge with a precision in the order of 20ns . Therefore, the implementation in a time projection chamber (TPC) is considered.

The current Timepix readout system can handle at most eight chips, each with a surface of 2cm^2 . For most of the applications in particle physics larger area detectors are necessary.

Hence, a new readout system is developed at the University of Bonn within the European AIDA collaboration. It is based on the Scalable Readout System (SRS) designed within the RD51 Collaboration at CERN. The goal is to read out a module containing 96 Timepix chips. Such a module will then be tested in a TPC prototype for the ILD, one of the two detectors foreseen for the International Linear Collider (ILC). The status of the FPGA based system and the module construction will be presented.

T 77.2 Do 17:00 GER-039

Entwicklung eines ATLAS ReadOutDrivers für MicroMegas Detektoren — ●ANDRE ZIBELL, OTMAR BIEBEL and RALF HERTENBERGER — LMU München

Hochratenfeste mikrostrukturierte Gasdetektoren (Micromegas) sind die Technologie, die die bisherigen Detektoren nahe der Strahlachse in Vorwärts- Rückwärtsrichtung im Small Wheel des ATLAS Detektors ersetzen sollen, sobald der LHC zu 5 - 7 fach höherer Luminosität aufgerüstet wurde. Anfang 2012 wurden zwei Micromegas Prototyp-Detektoren innerhalb des ATLAS Myonspektrometers eingebaut. Um diese Detektoren zusammen mit den restlichen ATLAS Systemen auslesen zu können, wurde ein Read Out Driver (ROD) auf Basis moderner Virtex5 und Virtex6 FPGAs entwickelt. Dieser fügt sich in die ATLAS Datenaufnahme Infrastruktur ein, und übernimmt Aufgaben wie die Verarbeitung von Level1 Triggern, Datenzusammenstellung, Detektorkontrolle, Eventbau und Datenformatierung. Es wird der Aufbau der ROD Firmware beschrieben sowie erste Ergebnisse der Analyse der Daten präsentiert, die im Zusammenspiel mit dem ATLAS-Detektor aufgezeichnet wurden.

T 77.3 Do 17:15 GER-039

Betrieb und Monitoring des ATLAS Level-1 Kalorimeter-Triggers — ●JULIA ISABELL HOFMANN — Kirchhoff-Institut für Physik, Universität Heidelberg, Deutschland

Die erste Stufe des Kalorimeter-Triggers des ATLAS-Detektors ist komplett in Hardware realisiert. Den Ausgangspunkt der Trigger-Entscheidung bilden 7200 analoge Eingangssignale, die sogenannten Trigger Tower, die durch die Summierung von bis zu 60 Kalorimeterzellen gebildet werden. Diese Signale werden in der Hardware des Level-1 Kalorimeter Triggers digitalisiert und synchronisiert (timing). Ausgehend von dieser Kalorimeterinformation werden physikalische Objekte wie Elektronen, Tau-Leptonen und Jets identifiziert, sowie die gesamte und fehlende Energie bestimmt. Anhand dieser Größe wird dann die Trigger-Entscheidung getroffen.

Die Trigger-Hardware befindet sich in einer Kaverne neben dem ATLAS Detektor und ist seit Beginn der Datennahme am LHC erfolgreich in Betrieb. Zur Überwachung der korrekten Funktionalität des Systems existiert eine breites Spektrum an Monitoring Software. Diese ermöglicht die Echtzeit-Kontrolle der Kenngrößen der Hardware, aber auch die Systemeigenschaften des Triggers lassen sich sowohl online als auch offline überwachen. Hierzu gehören auf Trigger Tower basierende Größen wie die Signalrate, das Timing, o.ä. Zudem werden auch viele Eigenschaften des Gesamtsystemes überwacht. Dazu gehören z.B. die Triggereffizienz und -rate. Dieser Vortrag liefert einen Überblick über das Monitoring und den Betrieb des ATLAS Level-1 Kalorimeter Triggers.

T 77.4 Do 17:30 GER-039

Das neue Multichip-Modul des ATLAS Kalorimeter-Triggers — ●JAN JONGMANN — Kirchhoff-Institut für Physik, Heidelberg

Der Level-1 Kalorimeter-Trigger des ATLAS-Experimentes am LHC hat die Aufgabe, physikalische Objekte (Elektronen, Taus, Jets) in den Kalorimetern des Detektors zu finden, sowie die fehlende transversale Energie und die totale transversale Energie eines Ereignisses zu bestimmen. Zu diesem Zweck werden analoge Signale von etwa 7200 sogenannten Trigger Tower zunächst im Prä-Prozessor digitalisiert, welcher anschließend auch die transversale Energie bestimmt und der korrekten LHC-Strahlkreuzung zuordnet. Die dazu verwendeten Algorithmen sind fest in einem ASIC auf dem sogenannten Multichip-Modul (MCM) implementiert.

Im Rahmen des ATLAS-Upgrades wird am Kirchhoff-Institut für Physik in Heidelberg ein neues MCM (nMCM) entwickelt. Die wichtigste Neuerung ist der Ersatz des ASIC durch einen wiederprogrammierbaren FPGA, welcher nicht nur die Aufgaben des ASIC übernimmt, sondern auch die Verwendung zusätzlicher bzw. verbesserter Algorithmen ermöglicht. Beispiele hierfür sind eine dynamische Bestimmung des Pedestals zur Berechnung der Energie sowie Verbesserungen bei der Bestimmung der Strahlkreuzung saturierter Signale.

Zur Zeit befindet sich das nMCM im finalen Teststadium. In diesem Vortrag wird die Hardware des nMCM beschrieben und mögliche neue Algorithmen werden vorgestellt und bezüglich ihrer Leistungsfähigkeit diskutiert.

T 77.5 Do 17:45 GER-039

Firmware implementation of algorithms for the new topological processor in the ATLAS first level trigger — ●STEPHAN MALDANER, REGINA CAPUTO, ULRICH SCHÄFER, and STEFAN TAPPROGGE — Universität Mainz, Staudingerweg 7, 55128 Mainz

After the upgrade of the Large Hadron Collider in 2013/2014 proton-proton collisions will be provided at a center-of-mass energy of up to 14 TeV with an instantaneous luminosity of at least $1 \cdot 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$. During this upgrade a new FPGA based electronics system (Topological Processor) will be included in the ATLAS trigger chain to keep up with the increased rate of events. To reduce rates while maintaining high signal efficiency of the trigger the processor will make its decisions based upon topological criteria like angular cuts and mass calculations.

As a hardware based trigger, it will have to fit into the tight first level trigger latency budget of $2.5 \mu\text{s}$ and thus provides the challenge of making decisions within very short time. Beside the latency, the main constraints on the algorithms are the required amount of logic resources of the FPGA which will be implemented as firmware. Therefore to be able to use as much information as possible, each module will be equipped with 2 state-of-the-art Xilinx Virtex 7 FPGAs to process the incoming data. This talk will present some of the topological algorithms and discuss properties of their implementation in firmware.

T 77.6 Do 18:00 GER-039

The Neural Network Z Vertex Trigger for the Belle II Detector — SEBASTIAN SKAMBRAS and ●FERNANDO ABUDINEN — Max-Planck-Institut für Physik (Werner-Heisenberg-Institut), Föhringer Ring 6 80805 München, DE

A novel approach for track triggering is currently studied for the Belle II detector: neural networks are used to predict the event vertex in z direction, using only information from the central drift chamber. The lack in accuracy of classical online vertex reconstruction motivates new studies for the z vertex trigger. Since neural networks are general function approximators, they are well suited for problems where the model is not known a priori. Several methods were investigated, but our studies for single tracks in geometrically restricted areas of the detector have proven the multi layer perceptron to produce the most accurate results, even in the presence of background. This encourages the use of a set of multi layer perceptrons to cover the entire detector. Additionally, the methods presented may lead to online event reconstruction, for Belle II as well as for other running or future detectors.

T 77.7 Do 18:15 GER-039

Data Handling Hybrid: FPGA Based Read-Out System for the Silicon Pixel Detector in Belle II Experiment. — ●DMYTRO LEVIT, IGOR KONOROV, BORIS ZHURAVLEV, STEFAN HUBER, and

STEPHAN PAUL — Physikdepartment E18, Technische Universität München

An FPGA based interface system, the Data Handling Hybrid, is developed as a part of the pixel detector read-out chain that will be installed in the Belle II experiment. The two level system is build in MicroTCA format. The first level multiplexes four data streams that are received from the DEPFET module. The maximal expected data rate is 1.416 Gbps per module. The control, pedestals upload, and initialization of the front-end electronics on the DEPFET module are performed over JTAG interface. The second layer aggregates five 6.25 Gbps data streams from the first level cards and performs sub-event building therefore averaging data rate on four outgoing links due to differences in detector occupancy. The system also performs synchronous trigger and clock distribution over the high speed serial links. The control over the system is performed over ethernet by integrating the IPBus stack and EPICS framework.

The project is supported by the BMBF, Maier-Leibnitz-Laboratorium of the University of Munich, and Technical University of Munich as well as the Exzellenzcluster "Origin and Structure of the Universe".

T 77.8 Do 18:30 GER-039

Data Concentrator with FPGA-based track reconstruction for the Belle II DEPFET Pixel Detector — ●MICHAEL SCHNELL, JOCHEN DINGFELDER, and CARLOS MARINAS — Physikalisches Institut der Universität Bonn

The innermost two layers of the Belle II vertex detector at the KEK facility in Tsukuba, Japan, will be covered by high-granularity DEPFET pixel sensors. The large number of pixels leads to a high data rate of around 60 Gbps, which has to be significantly reduced by the Data Acquisition System. For the data reduction the hit information of the surrounding Silicon strip Vertex Detector (SVD) is utilized to define so-called Regions of Interest (ROI). Only hit information of the pixels located inside these ROIs are saved. The ROIs for the Pixel Detector

(PXD) are computed by reconstructing track segments from SVD data and back extrapolation to the PXD. A data reduction of up to a factor of 10 is intended to be achieved by this design. All the necessary processing stages, the receiving and multiplexing of the data from the SVD on 48 optical fibers, the track reconstruction and the definition of the ROIs, will be performed by the Data Concentrator. The planned hardware design is based on a distributed set of Advanced Mezzanine Cards (AMC) each equipped with a Field Programmable Gate Array (FPGA) chip and 4 optical transceivers.

In this talk, the hardware and the FPGA-based tracking algorithm is introduced with some preliminary simulation results. In addition, the acquisition and pre-processing of the SVD data are discussed. The presentation concludes with an outlook on a distributed tracking design.

T 77.9 Do 18:45 GER-039

Interlocksystem des zukünftigen Insertable B-Layers des ATLAS Detektors — ●CHRISTIAN RIEGEL, WOLFGANG WAGNER, SUSANNE KERSTEN und HANS-PETER KIND — Bergische Universität Wuppertal

Im Zuge des kommenden Upgrades des ATLAS Detektors am Forschungszentrum CERN wird der neue Insertable B-Layer (IBL) als innerste Detektorschicht installiert und der Pixel-Detektor somit um eine vierte Lage erweitert.

Aus diesem Grund muss das Detektorkontrollsystem des Pixel-Detektors entsprechend angepasst werden. Eine Vielzahl an Statuswerten des Detektors, unter anderem Temperaturen und Spannungen, muss überwacht werden, um die Sicherheit des Detektors zu gewährleisten.

Ein wichtiger Teil dieses Kontrollsystems stellt die Verarbeitung der Schutzsignale dar, die durch Field Programmable Gate Arrays (FPGAs) realisiert wird. Die Programmierung wird in einem automatisierten Schritt erstellt und anschließend auf korrekte Funktionalität getestet.