

## T 43: DAQ und Trigger II

Zeit: Dienstag 16:00–18:30

Raum: ST 2

T 43.1 Di 16:00 ST 2

**Auslese des ATLAS ITk Pixel Barrel Demonstrators mit RCE GBT** — ●ERIC BUSCHMANN, JÖRN GROSSE-KNETTER und ARNULF QUADT — II. Physikalisches Institut, Georg-August-Universität Göttingen

Die erhöhte Luminosität des Large Hadron Colliders (LHC) nach dem geplanten Upgrade zum High Luminosity LHC (HL-LHC) stellt hohe Anforderungen an die Detektor- und Auslesesysteme. Für den ATLAS Detektor am LHC ist hierfür ein vollständiges Ersetzen des jetzigen Spurdetektors (Inner Detector) durch einen vollständig halbleiterbasierten Inner Tracker (ITk) bestehend aus Pixel- und Streifensensoren geplant. Besonders die Auslese der innersten Pixellagen stellt eine Herausforderung dar und benötigt eine Übertragungsrate von einigen Gb/s pro Modul.

Der ITk Pixel Barrel Demonstrator ist ein Stave-Prototyp im ITk-Layout, aber bestückt mit der momentan verfügbaren Frontend-Generation. Ein Auslesesystem für den Demonstrator basiert auf der RCE (Reconfigurable Cluster Element) Plattform, welche ARM Prozessoren mit FPGAs integriert und als Test- und Entwicklungsplattform für das ATLAS Upgrade Verwendung findet. Mithilfe des GBTx-Chips können bis zu 20 der Frontend-Links mit 160 Mb/s zu einem optischen Link mit 3,2 Gb/s gebündelt werden, vergleichbar mit der Datenrate eines ITk Pixel Moduls. Der aktuelle Stand der Entwicklung und aktuelle Ergebnisse werden vorgestellt.

T 43.2 Di 16:15 ST 2

**Entwicklungen zur Parallelisierung der ITk-Auslesesoftware** — CARSTEN DÜLSEN, TOBIAS FLICK, ●MARVIN EMIN GEYIK, WOLFGANG WAGNER und MARIUS WENSING — Bergische Universität Wuppertal

Im Rahmen des LHC-High-Luminosity Upgrades wird der ATLAS-Detektor umgebaut, um die Signale bei einer um das zehnfache erhöhten Ereignisrate verarbeiten zu können. Insbesondere wird ein neuer innerer Spurdetektor (Inner Tracker, ITk) eingebaut. Die Software des ITk-Auslesesystems befindet sich gegenwärtig in der Entwicklung. Es werden Arbeiten an dieser Software präsentiert, die eine parallele Verarbeitung der Daten mehrerer Auslesekarten an einem PC ermöglichen.

T 43.3 Di 16:30 ST 2

**Erweiterung der FELIX Firmware für den ATLAS ITk Pixel Detektor im Phase II Upgrade** — ●CARSTEN DÜLSEN, TOBIAS FLICK, WOLFGANG WAGNER und MARIUS WENSING — Bergische Universität Wuppertal

Im Jahr 2026 wird in den ATLAS Detektor ein neuer innerster Spurdetektor (Inner Tracker, ITk) eingebaut. Die Datenauslese des ITk wird mit dem neuartigen, netzwerkbasieren FELIX System ausgestattet sein, welches die Ereignisdaten vom Detektor ausliest und zur Verarbeitung an eine Serverfarm weiterreicht. Aufgrund der Größe und Komplexität stellt der ITk sehr hohe Anforderungen an dieses. Es sollen das FELIX-Konzept sowie die ersten Implementierungen in der FELIX Firmware für den ITk Pixel Detektor vorgestellt werden.

T 43.4 Di 16:45 ST 2

**SoC based ADC readout for an intelligent PMT concept** — FENG GAO, FLORIAN KIEL, TIM KUHMBUSCH, ACHIM STAHL, JOCHEN STEINMANN, CHRISTOPHER WIEBUSCH, and ●CHRISTIAN WYSOTZKI — III. Physikalisches Institut B, RWTH Aachen University

Many experiments rely on the use of large photomultiplier to achieve a large instrumented volume. In a novel readout approach, all electronics for the PMT are directly attached to its back. This reduces analog signal cable length and creates a very scalable system. In this talk the PMT readout is covered. A specialized ASIC – VULCAN – is used to amplify and digitize the analog signal. A system-on-a-chip (SoC) – consisting of a FPGA and an ARM processor – receives the data and preprocesses it. The FPGA part of the SoC is responsible for high-speed data analyses like trigger generation and data filtering. High-level analyses of the data – as gain determination on dark counts – and data transmission via Ethernet is done in the processor part of the SoC.

Results from a first prototype board are presented in the talk.

T 43.5 Di 17:00 ST 2

**The conventional PMT system for OSIRIS** — FENG GAO, FLORIAN KIEL, ●TIM KUHMBUSCH, ACHIM STAHL, JOCHEN STEINMANN, CHRISTOPHER WIEBUSCH, and CHRISTIAN WYSOTZKI — III. Physikalisches Institut B, RWTH Aachen

The 20-ton OSIRIS detector is designed to measure radiopurity and quality of the liquid scintillator for JUNO. This is especially necessary to commission the liquid handling and purification systems. OSIRIS will monitor the scintillator quality during the filling to ensure that JUNO reaches the design sensitivity. After filling of the central detector OSIRIS can be used for detailed studies of scintillator characteristics and monitoring. OSIRIS will harness two PMT systems: One is the novel iPMT system where each PMT is equipped with an intelligent readout electronic at the back. By reusing parts of the trigger system, FADCs, PMTs and Front End Electronics (FEE) from Double Chooz, the conventional PMT system is based on a reliable and well tested system. Due to the needs of OSIRIS the readout scheme is adapted to enable online reconstruction and to integrate the iPMT system.

T 43.6 Di 17:15 ST 2

**The XENONnT Data Acquisition System** — ●ALEXEY ELYKOV for the XENON-Collaboration — Physikalisches Institut, Albert-Ludwigs-Universität Freiburg

The XENONnT experiment, currently under construction in the Laboratori Nazionali del Gran Sasso, is a liquid xenon-based multi-ton-scale dark matter detector. It will allow us to probe new parameter spaces of potential dark matter candidates and search for long sought-after processes, like neutrinoless double beta decay. The scintillation and photoionisation signals that will occur in the detector due to particle interactions will be amplified, digitised and recorded by a Data Acquisition (DAQ) system. This system is predominantly based on commercially available electronics, accompanied by custom-developed firmware and software. In combination with a novel data processing and data reduction framework, it can operate with high efficiency both during the acquisition of low rate dark matter search data and throughout high rate calibration efforts. In this talk, an overview of the XENONnT DAQ system will be presented, as well as its status and potential future developments.

T 43.7 Di 17:30 ST 2

**Development of serial data link IC in 65nm CMOS for the RD53B HL-LHC pixel readout chip** — TOMASZ HEMPEREK, HANS KRÜGER, KONSANTINOS MOUSTAKAS, ●PIOTR RYMASZEWSKI, MARCO VOGT, TIANYANG WANG, and NORBERT WERMES — Physikalisches Institut Universität Bonn, Bonn, Germany

The LHC High Luminosity upgrade will result in a significant change of environment in which particle detectors are going to operate, especially for devices very close to the interaction point like pixel detector electronics. Due to similar requirements ATLAS and CMS are working together within RD53 collaboration on a design of a pixel readout chip in 65nm CMOS technology to be used for the LHC Phase-II upgrade. This talk presents the I/O interface of this readout chip, focusing especially on some timing-critical circuit blocks: CDR (Clock Data Recovery), serializer and CML (Current Mode Logic) output driver. The CDR recovers clock from 160 Mbps incoming data stream and produces 1.28 GHz clock to be used by the serializer. The double data rate serializer combines 20 data streams into a single 1.28 Gbps stream, which is send off-chip by a CML driver. Circuit description together with measurement results will be presented including jitter performance, startup reliability and radiation hardness.

T 43.8 Di 17:45 ST 2

**Entwicklung von algorithmischer Firmware für den Ausbau des ATLAS Level-1 Jet/Energiesummen-Triggers** — VOLKER BÜSCHER, CHRISTIAN KAHRA, ULRICH SCHÄFER, STEFAN TAPPROGGE und ●MARCEL WEIRICH — Johannes Gutenberg-Universität Mainz

In den kommenden Ausbaustufen des LHC werden immer höhere Luminositäten erreicht. Dadurch werden auch immer größere Herausforderungen an das Triggersystem des ATLAS Detektors gestellt. Zusätzlich zu den steigenden Ereignisraten werden die Daten aus den elektromagnetischen und hadronischen Kalorimetern mit erhöhter Granularität übertragen. Um dies für eine effiziente Selektion von Ereignissen zu nutzen, muss das existierende System ausgebaut werden. Bei einer Da-

tenrate von 40 MHz muss in der ersten Triggerstufe eine Entscheidung innerhalb von  $2.5 \mu\text{s}$  getroffen werden.

Der jet Feature EXtractor, kurz jFEX, bildet eine Neuerung für den Ausbau des ATLAS Level-1 Triggers. Ab 2021 wird jFEX in erster Linie für die Identifikation von Jet-Kandidaten und zur Berechnung von Energiesummen eingesetzt. Pro Modul ist eine Eingangsbreite von bis zu 3.1 Tb/s erforderlich, die sich auf 4 Xilinx UltraScale+ FPGAs verteilt. Für die dort laufenden Algorithmen stehen maximal 125 ns an Berechnungszeit zur Verfügung. Aus diesem Grund müssen diese eine hochparallele Struktur aufweisen.

In diesem Vortrag wird der aktuelle Stand der Algorithmen-Implementierung vorgestellt.

T 43.9 Di 18:00 ST 2

**Vergleich verschiedener Test-Auslesesysteme für den ATLAS Pixeldetektor** — CARSTEN DÜLSEN, TOBIAS FLICK, ●MAREN STRATMANN, WOLFGANG WAGNER und MARIUS WENSING — Bergische Universität Wuppertal

Für den Betrieb im HL-LHC (High Luminosity LHC) ab 2026 wird ein neuer ATLAS Detektor entwickelt. In dessen innersten Spurendetektor ITk (Inner Tracker) kommen auch Pixeldetektoren zum Einsatz. Zum Auslesen der Daten aus den einzelnen Pixeln existieren verschiedene Test-Auslesesysteme, welche für den Einsatz im ITk entwickelt und ge-

testet werden. Es werden verschiedene Test-Auslesesysteme (zum Beispiel RCE (Reconfigurable Cluster Element) und YARR (Yet Another Rapid Readout)) vorgestellt und miteinander verglichen.

T 43.10 Di 18:15 ST 2

**Effizienzstudien zum Trigger auf fehlenden Transversalimpuls im Phase-II Upgrade des ATLAS-Experiments** — ●FALK BARTELS — Kirchhoff-Institut für Physik, Heidelberg, Deutschland

Im Rahmen des geplanten Phase-II Upgrade des Large Hadron Colliders wird dessen instantane Luminosität auf  $10^{35} \text{cm}^{-2} \text{s}^{-1}$  erhöht, was etwa dem fünffachen des bisher erreichten Maximums entspricht. Durchschnittlich 200 Proton-Proton-Kollisionen werden dadurch zeitgleich als sogenannter Pile-Up im ATLAS-Detektor sichtbar sein.

Die bestehenden Algorithmen des Level-1-Triggers sind sehr empfindlich gegenüber Pile-Up-Effekten – insbesondere der Trigger auf fehlende transversale Energie produziert mit zunehmendem Pile-Up eine überproportional erhöhte Rate an falsch-positiven Entscheidungen. Dieser Vortrag präsentiert neue Rekonstruktionsalgorithmen für die fehlende transversale Energie, die die mittlere Energiedichte aus Pile-Up-Ereignissen berücksichtigen. Sie können die Rate an „fakes“ reduzieren und erlauben damit niedrigere Triggerschwellen bei gleicher Bandbreite.