

## T 66: DAQ und Trigger III

Zeit: Mittwoch 16:00–18:30

Raum: S02

T 66.1 Mi 16:00 S02

**Hochratentests an der CMS Binary Chip Ausleseketten** — FELIX BÖGELSPACHER, ALEXANDER DIERLAMM, ULRICH HUSEMANN, ●STEFAN MAIER und THOMAS MÜLLER — Institut für Experimentelle Teilchenphysik, Karlsruhe Institut für Technologie

Für den äußeren Bereich des zukünftigen CMS-Spurdetektors werden im Rahmen des Phase-2-Upgrades Siliziumsensormodule eingesetzt. Diese Module bestehen aus zwei dicht übereinander liegenden Sensoren und sind damit in der Lage Teilchen mit hohem Transversalimpuls bereits im Auslesechip, dem CMS Binary Chip (CBC), zu identifizieren. Dies ist Startpunkt für einen neuartigen spurbasierten Trigger, mit dem interessante Ereignisse angereichert werden können.

Der Vortrag stellt den KARATE-Aufbau (KARlsruhe high RATE TEst) vor. Um einen Siliziumsensor zu emulieren werden auf 48 Kanälen des CBCs in hohen Raten Pulsmuster injiziert. Es können beliebige Muster mit unterschiedlichen Pulshöhen, Clustergrößen, Positionen und Triggerraten erzeugt werden. Somit werden Okkupanz und mittlere Ausleseraten in verschiedensten Variationen auf dem Chip und der nachfolgenden Ausleseketten für den späteren Betrieb nachgestellt. Der Vortrag gibt Einblick in die Signalerzeugung und stellt die ersten Hochratenergebnisse vor.

T 66.2 Mi 16:15 S02

**Einen Auslesesystem der nächsten Generation für generische Detektorentwicklung und Instrumentierung: Integration des VMM front-end chips in das Scalable Readout System** — ●MICHAEL LUPBERGER — CERN

Das Scalable Readout System (SRS) der RD51 Kollaboration mit dem APV25 Application Specific Integrated Circuit (ASIC) treibt die Innovation auf dem Gebiet der gasgefüllten Detektoren. Da der APV25 nicht weiter produziert wird und zukünftige Anwendungen mehr Flexibilität z. B. bei der Detektorkapazität oder Ausleserate benötigen, soll der ASIC ersetzt werden. Die Kollaboration hat sich für den VMM ASIC entschieden, der für das ATLAS New Small Wheel upgrade entwickelt wurde.

Dieser Chip wurde in den letzten Jahren in das SRS implementiert. Das Prototypensystem hat bereits für verschiedene Projekte in Strahlzeitmessungen als Auslesesystem gedient. Die einzelnen Komponenten sind im letzten Schritt der Überarbeitung und die Massenproduktion wird auf den Weg gebracht. Mehr als zwölf Gruppen, sowohl aus der Entwicklung, als auch aus geplanten Experimenten, wollen dieses System verwenden.

Die Ausleseketten des Systems und die Art und Weise der Implementierung, sowie dessen Anwendung und Pläne für die weitere Entwicklung werden vorgestellt.

T 66.3 Mi 16:30 S02

**A Compact First-Level Muon Track Trigger for the Phase-II ATLAS experiment at the HL-LHC** — ●DAVIDE CIERI, MARKUS FRAS, OLIVER KORTNER, SANDRA KORTNER, HUBERT KROHA, and SEBASTIAN NOWAK — Max-Planck-Institut für Physik, Munich, Germany

Single muon triggers will still be crucial for the physics programme of the experiments at the High Luminosity LHC. To keep the rates of these triggers at an acceptable level, the ATLAS collaboration will significantly upgrade the muon spectrometer in LS3 to be ready for Phase-II. The new L0 trigger will integrate data from the Monitored Drift Tube (MDT) chambers to reduce the accidental trigger rates and sharpen the trigger turn-on curves.

The future L0 trigger system will use data from the fast Resistive Plate Chambers (RPC) and Thin Gap Chambers (TGC) to identify the bunch crossing in which the muon was created. This information will be then passed to the downstream L0 MDT trigger, where matched MDT hits will be used to precisely measure the muon trajectory, and hence, the transverse momentum.

A fast compact muon track finding algorithm is presented, where muon track candidates are reconstructed using a binning algorithm based on a 1D Hough Transform. The algorithm has been designed and implemented with a hardware demonstration system using Xilinx Evaluation ZC706 and proFPGA duo boards. The system is meant to prove the concept towards the realisation of an official ATLAS MDT trigger processor prototype.

T 66.4 Mi 16:45 S02

**Der Level-1 topologische Prozessor bei ATLAS: Triggerperformance und zukünftiger Ausbau** — KATHARINA BIERWAGEN, VOLKER BÜSCHER, ●JOHANNES DAMP, CHRISTIAN KAHRA, ULRICH SCHÄFER und ROSA SIMONIELLO — Johannes Gutenberg-Universität Mainz

Das ATLAS-Triggersystem reduziert die hohe LHC  $pp$ -Kollisionsrate von 40 MHz auf eine Rate von 1 kHz zur Datenspeicherung. Die erste Stufe dieses Triggersystems ist der hardwarebasierte Level-1 Trigger mit einer Ausgangsrate von 100 kHz und einer Latenz von  $2.5 \mu\text{s}$ . Bei Erhöhung der Luminosität und Energie müssen die Triggerschwellen wichtiger Physiktrigger erhöht werden, um die Datenrate konstant zu halten, was jedoch mit einem Verlust interessanter Ereignisse verbunden ist. Um dieses Problem zu lösen, wurde der Level-1 topologische Prozessor (L1Topo) in das Level-1 Triggersystem eingeführt. L1Topo erhält sämtliche Objekte jedes Ereignisses von den Kalorimetern und vom Myonsystem, und verarbeitet diese Informationen um Triggerentscheidungen basierend auf topologischen Größen durchzuführen. Dies ermöglicht eine verbesserte Untergrundunterdrückung und eine Verbesserung der Signifikanz vieler ATLAS Physikmessungen, während gleichzeitig eine Erhöhung der Raten vermieden werden kann.

Dieser Vortrag präsentiert einen Überblick über die Firmware als auch die Triggerperformance in den LHC-Runs in 2017 und 2018, in denen L1Topo routinemäßig eingesetzt wurde. Zudem wird ein Überblick über den aktuellen Status des Ausbaus von L1Topo für den in 2021 startenden Run-3 des LHC gegeben.

T 66.5 Mi 17:00 S02

**Trigger-Effizienzstudien für das Phase-II Upgrade des ATLAS-Tile-Kalorimeters** — ●PHILIPP OTT — Kirchhoff-Institut für Physik, Heidelberg, Deutschland

Der HL-LHC, welcher die nominelle instantane Luminosität von  $10^{34} \text{cm}^{-2} \text{s}^{-1}$  um nahezu eine Größenordnung anheben wird, stellt den Level-1 Trigger des ATLAS-Detektors vor enorme Herausforderungen. Die Algorithmen des Level-1 Triggers, die auf die Suche nach Elektron- und Photonsignaturen spezialisiert sind, verwenden ein hadronisches Veto zur Unterdrückung sogenannter „fake“ Elektronen. Dieses wird aus der im ATLAS-Tile-Kalorimeter deponierten Energie bestimmt. Bislang bildet das elektronische Rauschen einen der limitierenden Faktoren für dieses Veto. Dank des Phase-II Upgrades, welches den ATLAS-Detektor auf den HL-LHC vorbereitet, wird dieses auf ein Minimum reduziert. Weiterhin werden die Algorithmen des Level-1 Triggers auf Objekte höherer Granularität zugreifen können. Das erlaubt eine differenziertere Definition des hadronischen Vetos. Dieser Vortrag stellt Studien zur Neudefinition des hadronischen Vetos vor und analysiert, inwiefern die Effizienz entsprechender Level-1 Trigger verbessert werden kann.

T 66.6 Mi 17:15 S02

**Commissioning of Fast TracKer Online Monitoring during Run II** — ●ANJALI KRISHNAN and ANDRE SCHONING — Physikalisches Institut, University of Heidelberg

The Fast TracKer (FTK) is a hardware-based system in the ATLAS experiment designed for fast and efficient track finding. To understand the data flow and check the quality of the data taken, it is highly helpful to perform online monitoring of the system. Several levels of online monitoring have been designed for the FTK, in order to achieve such goal. The low-level monitoring analyses the independent board dataflow, while the high-level monitoring considers the whole system's performance. The high-level monitoring performs a constant monitoring of the data quality of the output provided by FTK, that is, by scrutinizing the different track parameters in each geometrical slices and providing histograms of relevant observables.

This talk focuses on the low-level monitoring implemented for one particular board in FTK, the way all the information is published and the results of data quality studies done for FTK output data in the 2018 data-taking.

T 66.7 Mi 17:30 S02

**PreProzessor Erweiterung für das Triggersystem des ATLAS Detektors** — ●DIETER LIEBERT — Kirchhoff-Institut für Physik, Heidelberg

Während der Run-3 Datennahme übermittelt das ATLAS Liquid-Argon Kalorimeter Daten in höherer Granularität direkt optisch an den ATLAS "Level-1 Kalorimetertrigger" (L1Calo), wogegen das Tile Kalorimeter weiterhin analoge Signale sendet. Der L1Calo PreProzessor digitalisiert die Signale, um die zugehörigen Transversalenergien und Strahlkreuzungen zu bestimmen. Die Ergebnisse werden optisch an drei neue "Feature-Extractor" (FEX) Systemerweiterungen des L1Calo und simultan elektrisch an die entsprechenden Altsysteme übertragen, um die Funktionalität des Triggers während der Inbetriebnahme der neuen FEX Prozessoren zu garantieren.

Dafür werden neue "Tile Rear Extension" (TRES) Module als Erweiterung des PreProzessors benötigt, die mit modernsten FPGAs und optischen Hochgeschwindigkeitssendern für Datenübertragungsraten bis zu 14 Gbit/s ausgestattet sind. Außerdem werden die TRES Module Ereignisdaten sowie gemessene Temperaturen und Betriebsspannungen an die ATLAS DAQ und DCS Systeme weiterleiten.

Drei TRES Prototyp Module wurden gefertigt und ausgiebig am KIP Heidelberg getestet. Unter anderem wurde die optische Hochgeschwindigkeitsübertragung zu den FEX Systemen sowohl mit einer Loopback-Schnittstelle als auch gemeinsam mit einem Jet FEX (jFEX) Prototypen untersucht. Ergebnisse der Prototypentests und das nächste TRES Hardwaredesign werden vorgestellt.

T 66.8 Mi 17:45 S02

**Triplet Track Trigger for Future Hadron Collider Experiments** — ●TAMASI KAR, ANDRÉ SCHÖNING, and JIKE WANG — Physikalisches Institut, Universität Heidelberg, Germany

A very large number of pileup events and the reduction of the huge data rate whilst keeping high signal efficiencies are some of the major challenges that future high rate experiments such as the High Energy LHC or the Future Circular hadron Collider (FCC-hh) have to tackle. This requires smart triggering concepts that not only allow for a significant reduction of pileup but also provide high signal acceptance and purity.

In this talk, the concept of triplet track trigger using High Voltage Monolithic Active Pixel Sensors (HV-MAPS) is introduced for a generic detector geometry. It is demonstrated that the triplet pixel layer design i.e. three closely stacked pixel layers at sufficiently large radius, allows a very simple and fast track reconstruction, providing excellent track reconstruction efficiencies and very high purity at the same time. Tracking performance studies are exemplarily presented for the ATLAS detector using a full Geant4 simulation. It is shown that the triplet track trigger can be used to trigger efficiently multi-jet

signals using track-jets. A significant pileup, and thus data rate reduction is achieved by reconstructing the z-vertex positions of the jet constituents already at the very first trigger level.

T 66.9 Mi 18:00 S02

**Readout Electronics of the LHCb SciFi Tracker** — SEBASTIAN BACHMANN, ●DANIEL BERNINGHOFF, ALBERT COMERMA, MICHAL DZIEWIECKI, XIAOXUE HAN, BLAKE LEVERINGTON, HANNA MALYGINA, ULRICH UWER, and LUKAS WITOLA — Physikalisches Institut, Heidelberg, Germany

The LHCb Scintillating Fibre (SciFi) Tracker is designed to replace the current downstream tracking detectors in the LHCb Upgrade during the shutdown 2019 to 2020. It is based on 2.5 m long and 0.250 mm diameter scintillating fibres as the active medium. Silicon photomultiplier arrays with 128 channels and 0.25 mm channel width are used for readout. The front-end electronics are based on a custom ASIC chip, the PACIFIC, and an FPGA for the hit clustering with a readout rate of 40 MHz.

The assembly and commissioning of the SciFi Tracker is underway. Milestones and challenges in operating and monitoring the detector together with latest performance results will be presented.

T 66.10 Mi 18:15 S02

**Online track reconstruction for the LHCb Upgrade using machine learning** — ●DENNIS HNIDA — Experimentelle Physik 5, TU Dortmund

The LHCb experiment records events at a rate of up to 40 MHz. Before being recorded to disk a multi-level trigger system reduces this data rate to several kHz. Up until 2018 the first trigger was based on hardware, while the trigger system for future runs will be purely software based. With the removal of the hardware trigger, efficient algorithms have to perform a first trigger decision on a very short timescale. This trigger decision depends on e.g. track reconstruction and vertex position determinations. The current first High Level Trigger can process events at a rate of 3.5 MHz. This process needs to be speed up by a factor of 10.

The raw LHCb data is comparable to images, therefore recent years success of neural networks for pattern recognition could be transferred to the trigger system. Furthermore, the inference complexity of neural networks is constant and can be easily parallelised, which could fulfill the requirements. The current status of studies on track reconstruction using neural networks will be presented in this talk.